٤-٣ تقویت کننده کلاس B

عیب تقویت کننده های کلاس A در کم بودن راندمان به عبارت دیگر زیاد بودن اتلاف آنهاست. دلیل این امر وجود جریان نقطه کار است. زیرا بنا به تعریف، در یک تقویت کننده کلاس A جریان کلکتور هیچگاه نباید صفر شود یعنی همواره باید $I_{C_Q} > I_P$ باشد. پس در زمانی که سیگنال خروجی صفر باشد، $P_{CC} = V_{CC} \cdot I_{C_Q}$ حداقل توانی است که از منبع تغذیه کشیده می شود. از آنجایی که جریان کشیده شده از منبع - تا زمانی که تقویت کننده از حالت خطی خارج نشده باشد - یک جریان پریودیک متقارن، جمع شده با جریان نقطه کار است، متوسط این جریان که همان جریان DC منبع می باشد، جریان نقطه کار ترانزیستور خواهد بود. در نتیجه مستقل از توان خروجی، توان جذب شده از منبع تغذیه همواره مقداری ثابت است.

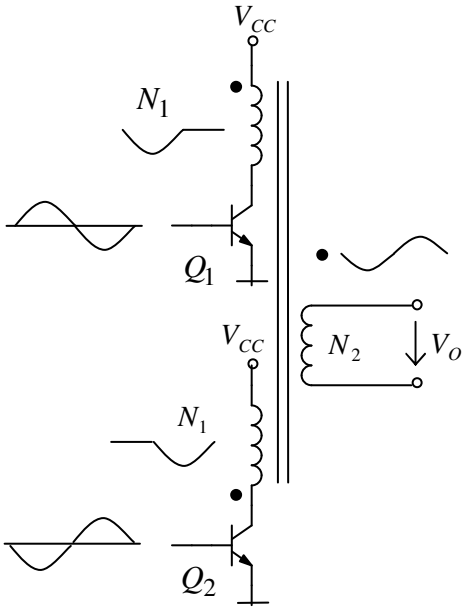
این عیب را می توان با انتخاب $I_{C_Q} = 0$ برطرف کرد ولی در عوض در این حالت فقط نصف موج تقویت می شود (اعوجاج زیاد). عیب اخیر را می توان با ترکیب دو مدار که باهم 180° اختلاف فاز داشته باشند، برطرف کرد. به چنین ترکیبی، مدار پوش پول[1] گفته می شود.

٤-٣-١ پوش پول کلاس B با ترانس

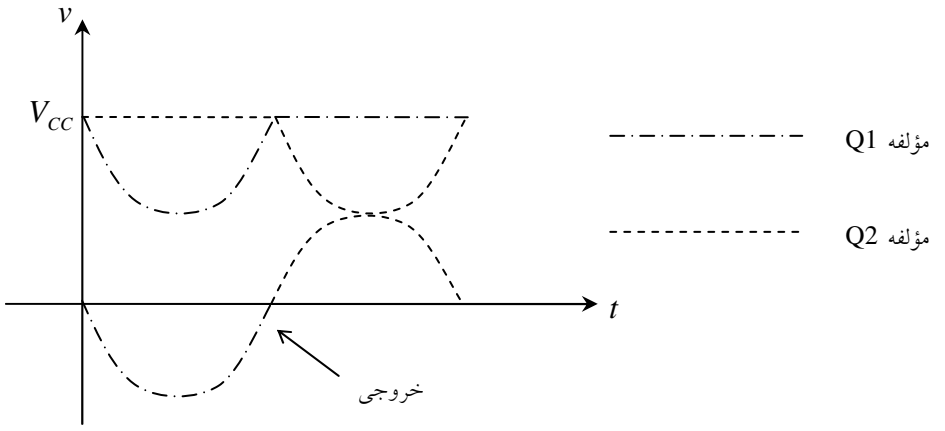
شکل ٤-٢٤ دو تقویت کننده امیتر مشترک با ترانس را نمایش می دهد که دارای یک ترانس مشترک با دو اولیه و یک ثانویه می باشند. در صورتی که جهت سیم پیچهای اولیه خلاف یکدیگر باشند، (این مطلب بصورت یک نقطه ("•") در شکل نمایش نشان داده شده است) و سیگنال ورودی

[1] Push - Pull (ترجمه کش واکش نیز دیده شده است)

به یک ترانزیستور و معکوس آن به ترانزیستور دیگر اعمال شود، در نیم پریود مثبت Q_1 و در نیم پریود منفی Q_2 عمل می کند. بنابراین در ثانویه ولتاژ کامل در اختیار خواهد بود (شکل ٤-٢٥). البته از آنجایی که در حوالی صفر هر دو ترانزیستور قطع می باشند، در مدار اعوجاجی بوجود می آید که به "اعوجاج عبوری[1]" معروف است. برای از بین بردن این عیب معمولاً کمی ترانزیستورها را بایاس می کنند ($I_{C_Q} > 0$). به همین دلیل چون این مدارها نه کاملاً در کلاس A هستند نه در کلاس B، بلکه مابین اینها، به کلاس $A-B$ معروف می باشند. از آن جایی که این مدارها تقریباً قدیمی شده اند و مسایل مربوط به آنها شبیه مدارهای پوش پول بدون ترانس است، از ذکر جزییات خودداری می کنیم. شکل ٤-٢٦ یک مدار واقعی را نمایش می دهد. در



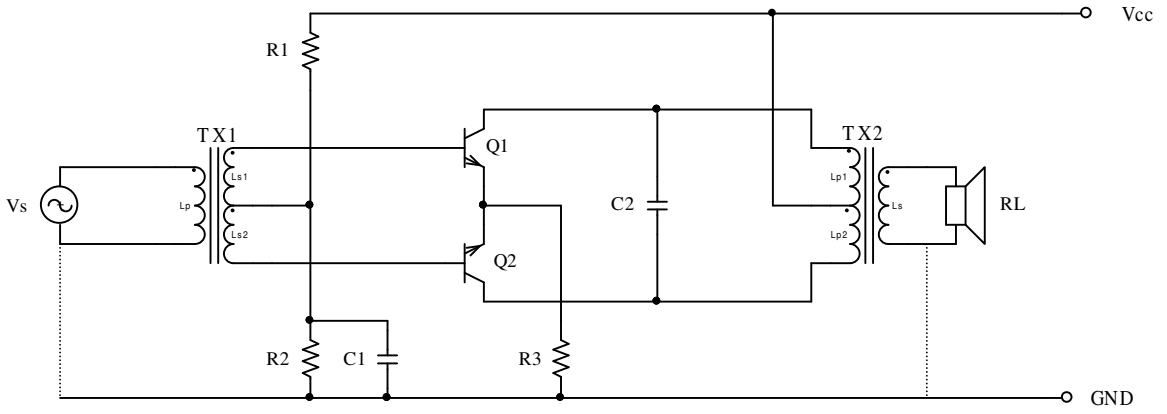
شکل ٤-٢٤ مدار پوش پول کلاس B با ترانس خروجی



شکل ٤-٢٥ ترکیب سیگنالهای دو تقویت کننده کلاس B به صورت پوش پول و بدست آوردن سیگنال کامل در خروجی

[1] Crossover Distortion

این مدار باید ثانویه‌ی ترانسِ ورودی و اولیه‌ی ترانسِ خروجی بصورت دو لایه[1] پیچیده شود تا کاملاً متقارن درآید. سیگنال ورودی (Vs) به اولیه ترانس $TX1$ اعمال می شود. ولتاژ ثانویه $Ls1$، با سیگنال ورودی هم فاز و ولتاژ ثانویه $Ls2$، با سیگنال ورودی ۱۸۰ درجه اختلاف فاز دارد. این امر باعث می شود که در نیم پریود مثبت، $v_{BE_1} > 0$ و $v_{BE_2} < 0$، در نتیجه $i_{C_1} > 0$ و $i_{C_2} = 0$ باشد. در نیم پریود منفی عکس این عمل اتفاق می افتد یعنی، $v_{BE_2} > 0$ و $v_{BE_1} < 0$، در نتیجه $i_{C_2} > 0$ و $i_{C_1} = 0$ خواهد بود. ترانس $TX2$ جریانهای کلکتور های ترانزیستورها را با هم ترکیب کرده، بر روی مقاومت بار (بلندگو) سیگنال کامل را منتقل می کند. توسط مقاومت های $R1$ و $R2$، ترانزیستورها کمی بایاس می شوند. هرقدر جریانهای کلکتورها در نقطه کار بیشتر باشد، اعوجاج عبوری کمتر و تلفات بیشتر خواهد بود. بنابراین در انتخاب نقطه کار باید مصالحه ای بین میزان اعوجاج و مقدار تلفات بر قرار کرد. در عمل اگر شرط خاصی نباشد، $I_{C_Q} \approx I_{C_P}/(20\cdots200)$ انتخاب می شود. $R3$ برای پایداری حرارتی (فیدبک DC) و کاهش اعوجاج (فیدبک AC) به کار رفته است. $C1$ خازن بای پس (افزایش بهره) و $C2$ جهت خنثی کردن اثر سلفی بلندگو و ترانس در فرکانسهای بالا، هستند.

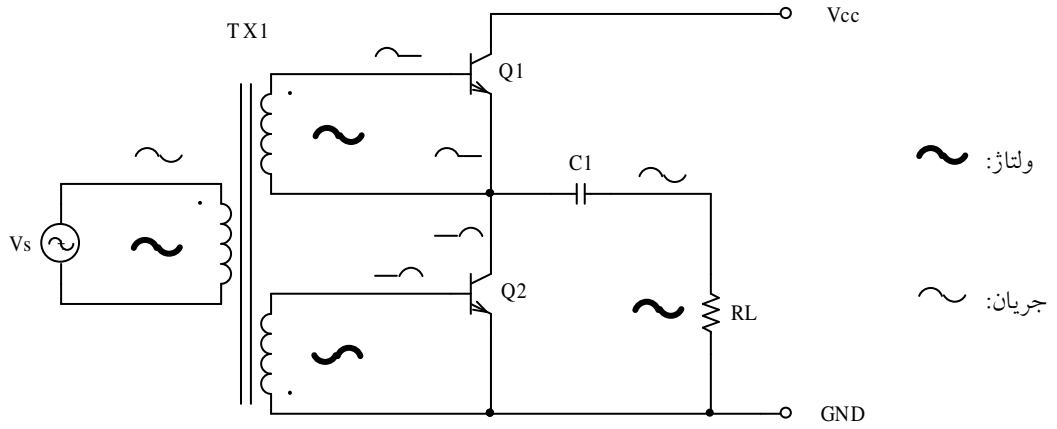


شکل ٤-٢٦ مدار کامل یک تقویت کننده پوش پول کلاس AB با ترانس

[1] Bifilar

٤-٣-٢ پوش پول کلاس B بدون ترانس خروجی

به علت این که ترانس دارای حجم، وزن و قیمت زیادی است، پهنای باند را کم می کند، تهیه آن مشکل می باشد، ... همواره سعی بر این است که حتی الامکان از استفاده آن دوری جست. برای مثال در شکل ٤-٢٧ مدار ساده شده یک تقویت کننده پوش پول بدون ترانس خروجی نمایش داده شده است.



شکل ٤-٢٧ مدار یک تقویت کننده پوش پول کلاس B بدون ترانس خروجی

در این مدار سیگنال ورودی توسط یک ترانس با دو ثانویه مشابه و مجزا تبدیل به دو سیگنال با ١٨٠ درجه اختلاف فاز می شود. ترانزیستور $Q1$ در نیم پریود مثبت و ترانزیستور $Q2$ در نیم پریود منفی عمل کرده ولتاژ خروجی یک سینوسی کامل خواهد بود.

امروزه این مدار به عنوان تقویت کننده صوتی به کار نمی رود. کاربرد این مدار در منابع تغذیه سوییچی[1] و منابع تغذیه بدون وقفه[2] است.

شکل ٤-٢٨ آرایش دیگری از مدارهای پوش پول را نمایش می دهد. مزیت این مدار نسبت به مدار قبل، در نداشتن هیچگونه ترانس است.

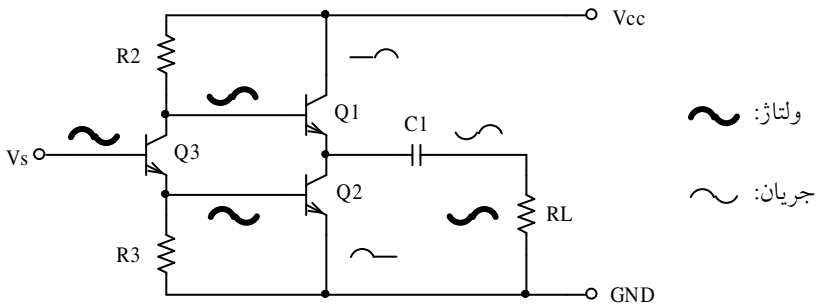
---

[1] SMP: Switched Mode Power Supply, Switching Power Supply

[2] UPS: Uninterrupted Power Supply

بایاسینگ این مدار نیز از مدار قبل ساده تر است زیرا کوپلاژ طبقات، به خاطر نداشتن ترانس، *DC* بوده، بکمک فیدبک *DC* کلی می توان بایاسینگ مطلوب و پایداری آن را تا حد مطلوب تأمین کرد. این مدار نیز امروزه – به عنوان تقویت کننده صوتی – مورد استفاده قرار نمی گیرد. تغییر فرم یافته این مدار[1] در طبقه خروجی برخی از خانواده های مدارهای منطقی[2] استفاده می شود.

از آنجایی که مشخصات این دو مدار (در حالت ایده‌آل) با مدار پوشپول مکمل یکی است، از بررسی آنها در اینجا خودداری می شود.



شکل ٤–٢٨ مدار یک تقویت کننده پوش پول کلاس B بدون ترانس

٤–٣–٣ تقویت کننده پوش پول با ترانزیستورهای مکمل

همانطور که ذکر شد، در طبقه پوش پول یک ترانزیستور در نیم پریود مثبت و ترانزیستور دیگر در نیم پریود منفی باید عمل کند. مدارهایی که تا کنون مورد بررسی قرار گرفته اند، دارای این اشکال هستند که چون ترانزیستورها از یک نوع (هر دو *npn* یا هر دو *pnp*) می باشند، باید ولتاژهای اعمال شده به بیس های آنها معکوس یکدیگر باشند (چون در آغاز پیدایش ترانزیستورها فقط از نوع *pnp* بودند، اساس تمام مدارهای ذکر شده برای ترانزیستورهای *pnp* طرح ریزی شده بود).

[1] این مدار به مدار Totempol مشهور است.

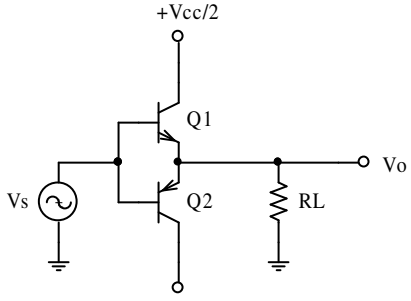
[2] مثلاً خانواده TTL: Transistor - Transistor - Logic

با تولید ترانزیستورهای *npn* مسئله بالا به این صورت حل شد، که چون برای تحریک بیس ترانزیستور *npn* ولتاژ مثبت و برای تحریک ترانزیستور *pnp* ولتاژ منفی لازم است، هر دو ترانزیستور به عنوان کلکتور مشترک، و ترانزیستور *npn* برای نیم پریود مثبت و ترانزیستور *pnp* برای نیم پریود منفی به کار گرفته شوند.

حسن دیگر این مدار، نسبت به مدارهای ترانس دار، این است که این تقویت کننده به عنوان یک تقویت کننده *DC* نیز می تواند به کار رود.

٤-٣-٣-١ مدار اصلی

از آنجایی که درک مطالب در بررسی *DC* مدار ساده تر است و این حالت یک حالت کلی تری نیز هست، اصل را بر تقویت کننده *DC* قرار داده، تقویت کننده *AC* را به عنوان حالت خاصی از آن مورد بررسی قرار می دهیم.

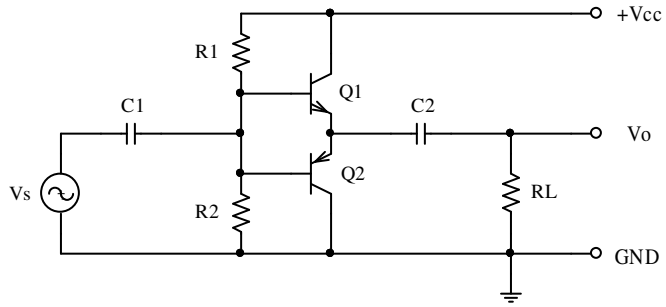


شکل ٤-٢٩ مدار پوش پول کلاس B
با ترانزیستور های مکمل

شکل ٤-٢٩ طبقه پوش پول مکمل را نمایش می دهد. در نیم پریود مثبت *Q1* فعال بوده، به عنوان کلکتور مشترک عمل می کند و *Q2* قطع است، در نیم پریود منفی بر عکس. چنان که مشاهده می شود - همانطور که برای تقویت کننده های *DC* لازم است - از دو منبع تغذیه استفاده شده است.

برای تطابق با حالت *AC* و جلوگیری از تفاوت روابط، ولتاژهای منابع مثبت و منفی را با $+\frac{V_{CC}}{2}$ و $-\frac{V_{CC}}{2}$ نمایش داده ایم. برای مثال اگر از تقویت کننده *AC* بخواهیم استفاده کنیم و یک منبع تغذیه در اختیار داشته باشیم، می توانیم از مدار شکل ٤-٣٠ استفاده کنیم. در اصل این مدار، همان مدار قبل

است که مرجع (زمین سیستم) را به اندازه $\frac{V_{CC}}{2}$ پایین برده‌ایم. به همین دلیل برای ثابت نگهداشتن پتانسیل ترانزیستورها از تقسیم ولتاژ در ورودی استفاده شده است. طبیعتاً خازنهای کوپلاژ در ورودی و خروجی برای جدا کردن DC لازم است.



شکل ٤-٣٠ مدار پوش پول کلاس B با ترانزیستور های مکمل و کوپلاژ AC

مشخصات مدار: برای هر دو مدار شکل های ٤-٢٩ و ٤-٣٠ در حالت ایده‌آل داریم:

نقطه کار (برای هر دو ترانزیستور): $I_{C_Q} = 0\,,\quad V_{CE_Q} = \frac{V_{CC}}{2}$ (٥٧-٤)

ماکزیمم دامنه خروجی: $V_{o_{\max}} = \frac{V_{CC}}{2}$ (٥٨-٤)

ماکزیمم ولتاژ هر ترانزیستور: $V_{CE_{\max}} = V_{CC}$ (٥٩-٤)

ماکزیمم جریان هر ترانزیستور: $I_{C_{\max}} = \frac{V_{CC}}{2\,R_L}$ (٦٠-٤)

ماکزیمم توان خروجی: $P_{o\,\max} = \frac{{V_{CC}}^2}{8\,R_L}$ (٦١-٤)

توان جذب شده از منبع تغذیه: $P_{CC} = \frac{V_{CC}}{\pi\,R_L}\,V_{oP}$ (٦٢-٤)

حداکثر توان تلف شده: $P_{CC_{\max}} = \frac{{V_{CC}}^2}{2\pi\,R_L}$ (٦٣-٤)

ماکزیمم توان مصرفی هر ترانزیستور: $P_{Q\max} = \frac{2P_{o\max}}{\pi^2}$ (٦٤-٤)

ماکزیمم راندمان: $\eta_{\max} = \frac{\pi}{4} \approx 78.5\%$ (٦٥-٤)

نحوه بدست آوردن روابط (٤-٥٧) تا (٤-٦١) واضح است. برای بدست آوردن روابط (٤-٦٢) تا (٤-٦٥) می توان از تعریف توان متوسط و محاسبه انتگرال مربوطه[1] استفاده کرد. روش ساده تر اینست که از استدلال زیر استفاده کنیم:

$$V_{CC1} = +\frac{V_{CC}}{2}, \quad V_{CC2} = -\frac{V_{CC}}{2} \qquad (٦٦-٤)$$

$$P_{CC} = P_{CC1} + P_{CC2} = V_{CC1} \cdot I_{CC1} + V_{CC2} \cdot I_{CC2} \qquad (٦٧-٤)$$

به علت این که $I_{CC1} = I_{C1}$ و در نصف پریود ترانزیستور قطع است، بنابراین جریان گذرنده از منبع تغذیه، در یک نیم پریود صفر و در نیم پریود دیگر برابر با جریان بار (خروجی) خواهد بود. به عبارت دیگر جریان گذرنده از کلکتور معادل یک جریان یکسو شده نیم موج با دامنه $I_{o_p} = \frac{V_{o_p}}{R_L}$ خواهد بود. از طرف دیگر، I_{CC} - بنا به تعریف - جریانی است که از منبع تغذیه کشیده می شود. بنابراین فقط مولفه DC آن باید در محاسبه توان در نظر گرفته شود. ضمناً می دانیم که برای یک سیگنال سینوسی یکسو شده نیمه موج:

$$I_{DC} = I_{avg} = \frac{I_P}{\pi} = \frac{V_P}{\pi R_L} \qquad (٦٨-٤)$$

از طرف دیگر، در صورتی که ولتاژ منبع تغذیه مثبت و منفی با یک دیگر برابر باشند:

$$P_{CC1} = P_{CC2} \qquad (٦٩-٤)$$

[1] نظیر نحوه‌ی محاسبه توان در فصل ٤-٢-٢ (روابط (٤-٢١) تا (٤-٢٧)).

با جایگزینی روابط (٤-٦٨) و (٤-٦٩) در رابطه (٤-٦٧):

$$P_{CC} = 2P_{CC1} = 2\times\frac{V_{CC}}{2}\times\frac{V_{oP}}{\pi R_L} = \frac{V_{CC}\cdot V_{oP}}{\pi R_L} \qquad (٧٠-٤)$$

در حالت ایده‌آل داریم:

$$P_{CC} = P_{Q1} + P_{Q2} + P_o \qquad (٧١-٤)$$

در صورت تقارن مدار و سیگنال خروجی، تلفات ترانزیستورها با هم برابر بوده: $P_Q = P_{Q1} = P_{Q2}$ در نتیجه:

$$\left.\begin{aligned} P_Q &= \frac{P_{CC} - P_o}{2} \\ P_{CC} &= \frac{V_{CC}\cdot V_{oP}}{\pi R_L} \\ P_o &= \frac{V_{oP}^2}{2R_L} \end{aligned}\right\} \Rightarrow \quad P_Q = \frac{2V_{CC}\cdot V_{oP} - \pi V_{oP}^2}{4\pi R_L} \qquad (٧٢-٤)$$

و بالاخره محاسبه راندمان:

$$\left.\begin{aligned} \eta &= \frac{P_o}{P_{CC}} \\ P_{CC} &= \frac{V_{CC}\cdot V_{oP}}{\pi R_L} \\ P_o &= \frac{V_{oP}^2}{2R_L} \end{aligned}\right\} \Rightarrow \quad \eta = \frac{\pi}{2}\cdot\frac{V_{oP}}{V_{CC}} \qquad (٧٣-٤)$$

از رابطه (٤-٧٠):

$$P_{CC_{\max}} = P_{CC}\left(V_{o_{\max}}\right) = \frac{V_{CC}\cdot V_{o_{\max}}}{\pi R_L} = \frac{V_{CC}^2}{2\pi R_L} \qquad (٧٤-٤)$$

از رابطه (٤-٧٢):

$$\left.\begin{aligned} P_Q &= \frac{2V_{CC}\cdot V_{o_P} - \pi V_{o_P}^2}{4\pi R_L} \\ \frac{dP_Q}{dV_{o_P}} &= \frac{V_{CC} - \pi V_{o_P}}{2\pi R_L} \end{aligned}\right\} \Rightarrow \quad V_{o_P}\left(P_{Q_{\max}}\right) = \frac{V_{CC}}{\pi} \qquad (٧٥-٤)$$

و در نتیجه:

$$P_{Q_{\max}} = \frac{2V_{CC}\cdot\frac{V_{CC}}{\pi} - \pi\left(\frac{V_{CC}}{\pi}\right)^2}{4\pi R_L} = \frac{V_{CC}^2}{4\pi^2 R_L} = \frac{2}{\pi^2}\times P_{o_{\max}} \approx 0.2\, P_{o_{\max}} \qquad (٧٦-٤)$$

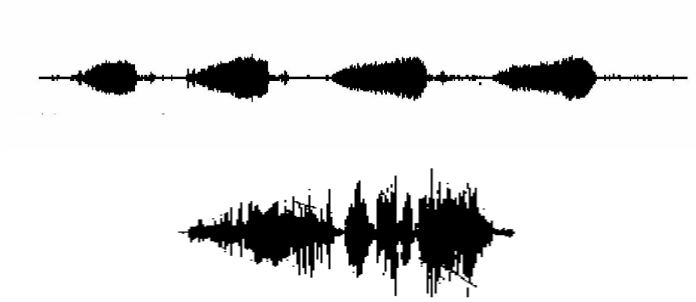
و بالاخره از (٤-٧٣):

$$\eta_{\max} = \frac{\pi}{2}\cdot\frac{V_{o_{\max}}}{V_{CC}} = \frac{\pi}{4} \approx 78.5\% \qquad (٧٧-٤)$$

همانطور مشاهده می شود، راندمان تقویت کننده کلاس B از تقویت کننده های کلاس A بیشتر است. ممکنست این ادعا پیش آید که: تقویت کننده کلاس A با ترانس به راندمان ۵۰٪ نیز می رسد و در مقایسه با راندمان ۷۸,۵ درصدی خیلی هم بد نیست! ولی یک مقایسه ساده روابط (٤-٥٦) و (٤-٧٠) با یک دیگر، نشان می دهد که برای قضاوت در مورد بازده یک تقویت کننده، معیار مهمتر از راندمان، توان جذب شده از منبع تغذیه است. برای تقویت کننده کلاس A - مستقل از توان خروجی - توان جذب شده از منبع همواره مقدار ثابت $P_{CC} = \frac{V_{CC}^2}{R_L}$ است. در صورتی که برای تقویت کننده کلاس B، توان جذب شده از منبع، وابسته به مقدار توان خروجی است ($P_{CC} = \frac{V_{CC}\cdot V_{o_P}}{\pi R_L}$). بنابراین مثلاً حتی هنگامی که سیگنال خروجی صفر هم هست، تقویت کننده کلاس A توانی معادل $\frac{V_{CC}^2}{R_L}$ تلف می کند، در صورتی که توان تلف شده برای تقویت کننده کلاس B، در این حالت صفر خواهد بود.

اگر به این امر دقت کنیم که خروجی یک تقویت کننده همواره یک سینوسی با دامنه حداکثر، نیست و دامنه سیگنال دایماً در حال تغییر است، شاید بهتر باشد که به جای راندمان ماکزیمم، معیاری به نام "راندمان متوسط" و شاید از آن بهتر، "تلفات نسبی" تعریف کنیم.

برای مثال شکل ٤-٣١ نمودار زمانی ولتاژ خروجی یک تقویت کننده صوتی را نشان می دهد. چنان که در شکل بالایی به خوبی مشهود است، در بازه‌هایی از زمان، سکوت بر قرار است. یا فرضاً اگر یک تقویت کننده تلفنی را در نظر بگیریم و فرض کنیم که هر کدام از طرفین در نصف مدت صحبت می کنند، و نصف دیگر زمان گوش می دهند، به طور متوسط توان خروجی کمتر از نصف است. همان طور که در شکل پایینی دیده می شود، توان متوسط در بازه ای که سیگنال به بار منتقل می شود، در خیلی از موارد کمتر از یک دهم توان آنست.



شکل ٤-٣١ نمودار زمانی صحبت. در شکل زیر قسمتی از شکل بالا بزرگنمایی شده است [٢].

یک واقعیت دیگر را باید در نظر بگیریم، و آن که معمولاً توان خروجی یک تقویت کننده بسیار کمتر از توان نامی آنست. برای مثال در سیستم های صوتی، شنونده در شرایط گوناگون، بلندی صدا (ولوم) را توسط یک پتانسیومتر تنظیم می کند. فرض کنید توان نامی سیستم صوتی خانگی شما صد وات باشد. به ندرت – مثلاً هنگامی که مراسم خاصی باشد – ممکن است ولوم را تا آخر باز کنید. در شرایط عادی – و به خصوص مثلاً شب هنگام که اعضای خانواده خوابیده اند – توان خروجی به مراتب کمتر از مقدار نامی خواهد بود.

با توجه به مطالب فوق می توانیم نتیجه بگیریم که در اکثر مواقع: $P_{avg} \approx (0.01 \cdots 0.001) \times P_N$. در اینجا منظور از P_{avg} متوسط توان خروجی تقویت کننده و $P_N = \frac{V_{o\max}^2}{2R_L}$ توان نامی آن است. در جدول ٤-١ مشخصات توانی انواع تقویت کننده‌هایی که تا کنون بررسی شده اند ذکر شده است. در این جدول $P_{avg} = \frac{P_N}{100}$ فرض، راندمان متوسط: $\eta_{avg} = \frac{P_{avg}}{P_{CC}}$ و تلفات نسبی: $P_{D_{rel}} = \frac{P_{D_{avg}}}{P_N}$ تعریف شده اند.

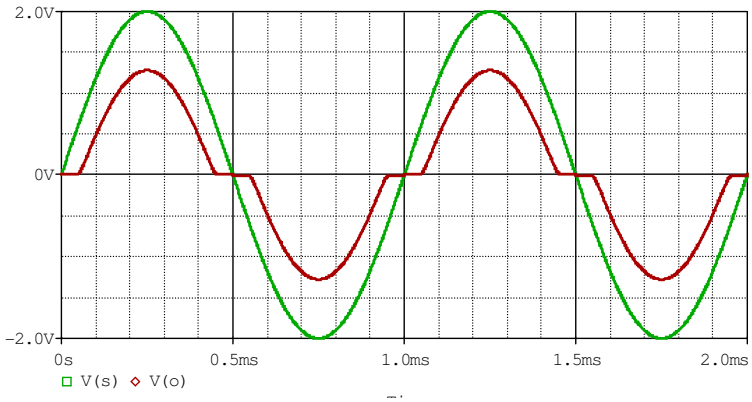
جدول ٤-١ مقایسه توان و راندمان تقویت کننده ها ی علایم بزرگ

تقویت کننده	کلکتور مشترک	با منبع جریان	با ترانس (n=1)	پوش پول
$P_{o\max}$	$V_{CC}^2/18R_L$	$V_{CC}^2/8R_L$	$V_{CC}^2/2R_L$	$V_{CC}^2/8R_L$
$P_{CC\max}$	$2V_{CC}^2/3R_L$	$V_{CC}^2/2R_L$	V_{CC}^2/R_L	$V_{CC}^2/\pi R_L$
$\eta_{\max}(Ideal)$	1/12	1/4	1/2	$\pi/4$
$\eta_{\max}(Real)$	5%	20%	35%	65%
η_{avg}	0.05%	0.2%	0.35%	6.5%
$P_{D_{rel}}$	11.99	3.99	1.99	0.117

تذکر: مقادیر ذکر شده برای راندمان ماکزیمم واقعی، مقادیر نمونه ای هستند که در عمل برای اکثر مدار ها معمولی - با توجه به غیر ایده‌آل بودن عناصر، تلفات مدار بایاس و سایر عوامل - قابل حصول هستند.

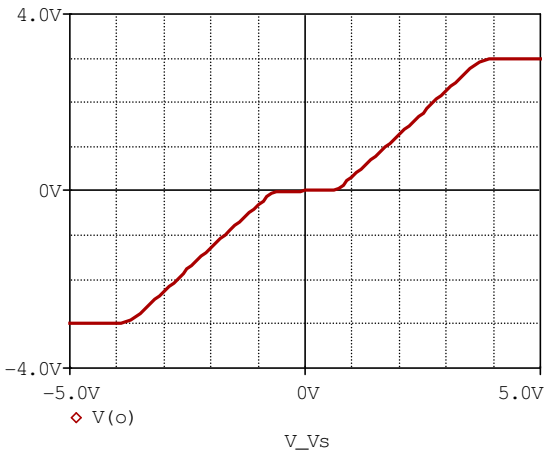
٤-٣-٣-٢ کاهش اعوجاج

در حالت ایده‌آل، اگر به ورودی مدار شکل ٤-٢٩ یک ولتاژ سینوسی با دامنه V_{sP} اعمال کنیم، در نیم پریود مثبت، تا زمانی که ولتاژ ورودی کمتر از $V_\gamma \approx 0.6V$ باشد، ولتاژ خروجی صفر است. پس از آن ولتاژ خروجی حدوداً $0.7V$ کمتر از ولتاژ ورودی خواهد بود. به عبارت دیگر دامنه خروجی $V_{oP} \approx V_{sP} - 0.7V$ خواهد شد. به همین ترتیب در نیم پریود منفی، ولتاژ خروجی تا زمانی که ورودی به حدود $-0.6V$ نرسیده، صفر و بعد از آن تقریباً $0.7V$ بیش از ورودی خواهد بود (شکل ٤-٣٢).



شکل ٤-٣٢ سیگنال های مدار پوش پول کلاس B. سبز: ورودی، قرمز: خروجی

این مسئله ایجاد اعوجاج در مدار می کند. طبیعتاً هر قدر دامنه خروجی کمتر باشد این اعوجاج بیشتر است (چرا؟). سیگنالهای ورودی با دامنه کمتر از $0.6V$ اصلاً در خروجی ظاهر نخواهند شد. شکل ٤-٣٣ مشخصه انتقالی طبقه پوش پول کلاس B را نمایش می دهد. همانطور که در این شکل مشاهده می شود، این مدار غیر خطی است. در این مشخصه چهار ناحیه قابل



شکل ٤-٣٣ مشخصه انتقالی مدار پوش پول کلاس B

تفکیک است:

۱- **ناحیه قطع:** به ازای سیگنال های ورودی با دامنه کوچک ($|V_s|<0.6V$) هر دو ترانزیستور قطع بوده $V_o \approx 0$. این محدوده را معمولاً "ناحیه مرده[1]" (ناحیه ای که تقویت کننده عمل نمی کند) یا "منطقه کور[2]" (محدوده ای که در آن خروجی سیگنال ورودی را نمی بیند) می نامند.

۲- **ناحیه خطی:** به ازای سیگنال های ورودی با دامنه بزرگ ($0.6V<|V_s|<|V_{CC}-0.5V|$) یکی از دو ترانزیستور قطع و دیگری فعال بوده $|V_o|\approx|V_s|-0.7V$. در این ناحیه شیب منحنی $S\approx 1$ به عبارت دیگر $A_{v_s}\approx 1$ است.

۳- **آستانه اشباع:** به ازای سیگنال‌های ورودی با دامنه نزدیک به ولتاژ منبع تغذیه ($|V_o|>|V_{CC}|-0.5V$) ترانزیستورها به تدریج به مرز اشباع می رسند. این امر باعث کاهش مقدار β و در نتیجه تغییر بهره مدار $A_{v_s}<1$ میشود.

٤- **ناحیه بریدگی:** به ازای سیگنال‌های ورودی با دامنه بیش از ولتاژ منبع تغذیه ($|V_s|>|V_{CC}|$) ترانزیستورها کاملاً اشباع شده $|V_o|\approx|V_{CC}|$ ثابت می ماند. در این صورت $A_{v_s}\approx 0$ خواهد بود.

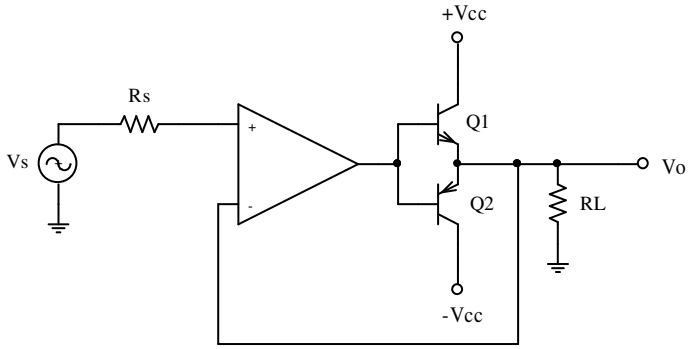
برای کاهش اعوجاج - به عبارت دیگر خطی تر کردن مشخصه خروجی - دو راه حل اصولی وجود دارد: استفاده از خاصیت فیدبک منفی، یا بایاس کردن ترانزیستورها. در عمل اغلب از ترکیب این دو روش استفاده می شود.

---

[1] Dead Zone
[2] Blind Zone

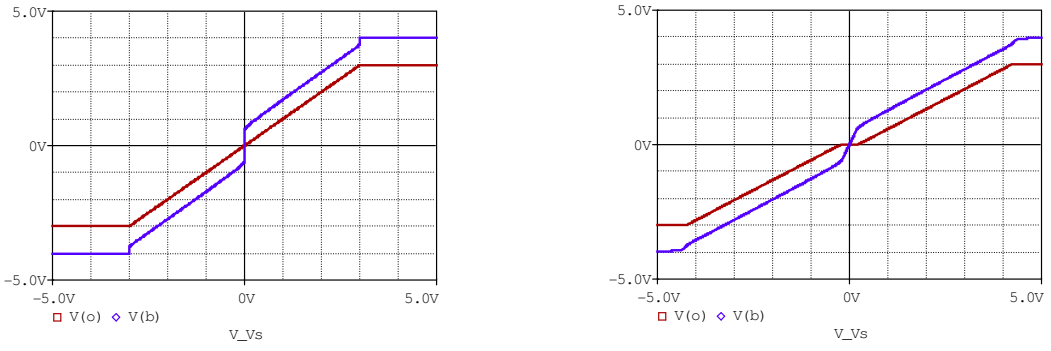
٤-٣-٣-٢-١ استفاده از فیدبک

شکل ٤-٣٤ یک تقویت کننده پوش پول کلاس B فیدبک شده را نمایش می دهد. وجود فیدبک منفی در مدار باعث کاهش ناحیه مرده به اندازه ضریب فیدبک می شود ($V_{DZ_f} = V_{DZ}/K$).



شکل ٤-٣٤ خطی تر کردن طبقه پوش پول کلاس B به کمک فیدبک

این مطلب در شکل های ٤-٣٥ و ٤-٣٦ نمایش داده شده است. شکل ٤- ٣٥ مشخصه انتقالی شکل ٤-٣٤ را برای دو حالت با دو ضریب فیدبک متفاوت $K = 4$ و $K = 1000$ نشان می دهد. متغیر، ولتاژ ورودی (V_s) و تابع ها: ولتاژ خروجی مدار ($V(o)$) رسم شده با رنگ قرمز) و ولتاژ خروجی آپ امپ به عبارت دیگر ولتاژ بیس های ترانزیستورها ($V(b)$) رسم شده با رنگ آبی) می باشند.



ب الف

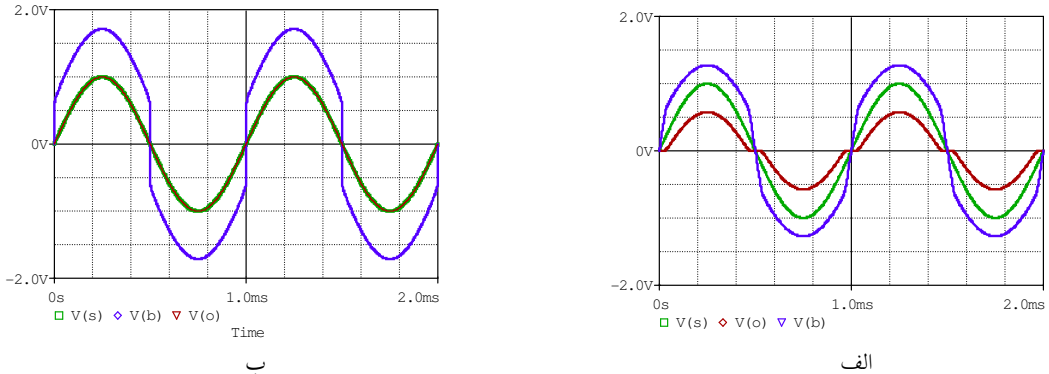
شکل ٤-٣٥ مشخصه انتقالی پوش پول فیدبک شده با ضریب فیدبک الف- $K = 4$ و ب- $K = 1000$

همانطور که در شکل ٤-٣٣ مشاهده می شود، در حالت بدون فیدبک ناحیه مرده اندکی از یک و نیم ولت کمتر است ($V_{DZ} \approx \pm 0.6V \cdots \pm 0.7V$). همچنین در این شکل انحنای حالت گذر از ناحیه ۲ به ٤ به خوبی مشهود است. با اندکی فیدبک ($K = 4$ در شکل ٤-٣٥ الف) بهبودی کمی در سیگنال خروجی حاصل می شود (نمودار قرمز). همانطور که ملاحظه می شود ناحیه مرده به حدود $\left|V_{DZ_f}\right| < 0.2V$ کاهش یافته است. همچنین در این شکل انحنای حالت گذر از ناحیه ۲ به ٤ تقریباً محو شده است. این بهبودی به خاطر بهره تقویت کننده و جبران افت ولتاژ بیس امیتر است. نمودار آبی ولتاژ خروجی آپ امپ و چگونگی این جبران سازی را نمایش میدهد. طبیعتاً چون بهره (حلقه باز) آپ امپ در این مثال کم است ($A_{v_o} = 3$) این اصلاح به طور جزیی انجام شده است. با افزایش بهره آپ امپ به $A_{v_o} = 1000$ ($K = 1001$) این اصلاح به خوبی انجام می شود. همان طور که در شکل ٤-٣٥ ب مشاهده می شود ناحیه مرده به:

$$\left|V_{DZ_f}\right| = \frac{\left|V_{DZ_f}\right|}{K} \approx \frac{0.7V}{1000} \approx 0.7mV \approx 0$$

تقلیل یافته است.

شکل ٤-٣٦ نمودار زمانی سیگنال های مدار شکل ٤-٣٤ را برای دو حالت، الف: $K = 4$ و ب: $K \approx 1000$ نمایش می دهد.



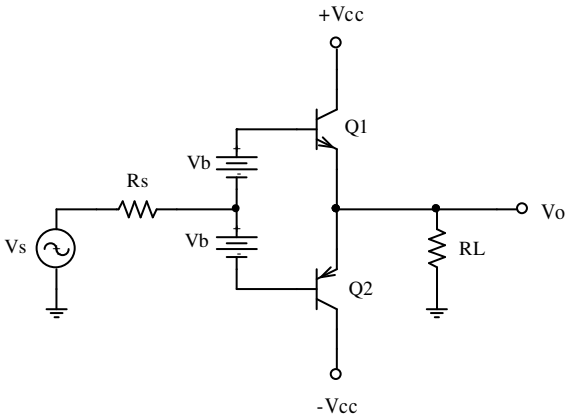
شکل ٤-٣٦ نمودار زمانی مدار شکل ٤-٣٤ الف- $K = 4$ ، ب- $K = 1000$ سبز: ورودی، قرمز: خروجی، آبی: بیس

به عنوان یک مثال، سیگنال ورودی یک ولتاژ سینوسی با دامنه $V_s = 1V$ و فرکانس $f_s = 1kHz$ انتخاب شده است. در حالت بدون فیدبک (مدار شکل ٤-٢٩) اعوجاج سیگنال خروجی ٤٧,٥٪ است. پس از فیدبک کردن (مدار شکل ٤-٣٤)، اعوجاج کم می شود. با اعمال فیدبک با ضریب $K = 4$ اعوجاج سیگنال خروجی ١٣,٧٪ می شود. در شکل ٤-٣٦ الف نمودارهای زمانی نمایش داده شده اند. منحنی سبز سیگنال ورودی و منحنی قرمز سیگنال خروجی را نشان می دهد. نمودار آبی ولتاژ بیس را نمایش می دهد. با افزایش ضریب فیدبک شکل سیگنال خروجی به شکل سیگنال ورودی نزدیک می شود. با اعمال فیدبک با ضریب $K = 1000$ عملاً سیگنال خروجی بر سیگنال ورودی منطبق می شود (نمودار شکل ٤-٣٦ ب). در این حالت اعوجاج سیگنال خروجی ٠,٠٣٨٪ محاسبه می شود.

٤-٣-٣-٢-٢ بایاس کردن

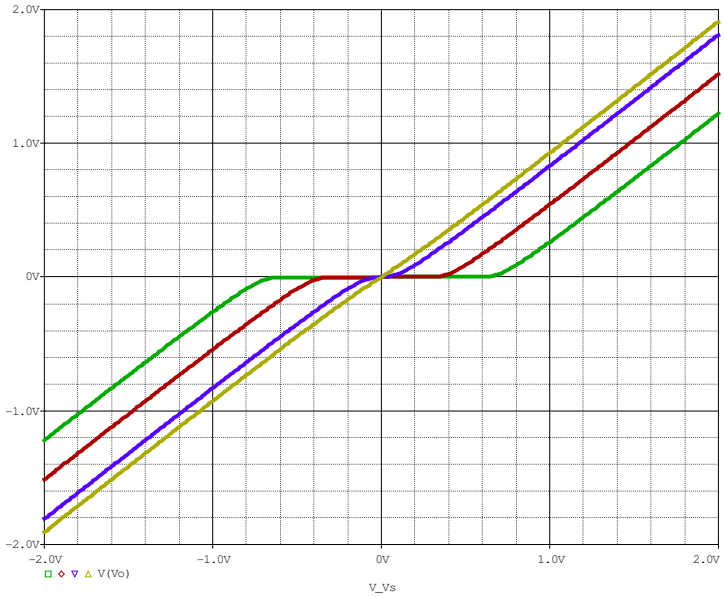
دیدیم که به کمک فیدبک کردن می توان اعوجاج را کم کرد. میزان کاهش اعوجاج به افزایش ضریب فیدبک بستگی دارد. برای این که مقدار اعوجاج به حد مطلوب برسد، گاهی اوقات به ضریب فیدبک بالا نیاز است که این امر همیشه امکان پذیر نیست. برای مثال می دانیم که بهره حلقه باز آپ امپ ها یی نظیر ٧٤١ در فرکانس ده کیلو هرتز حدود ١٠٠ است. چنان که بهره حلقه بسته ١٠ مطلوب باشد، ضریب فیدبک فقط حدود ١٠ خواهد بود. با چنین ضریبی، میزان اعوجاج برای سیگنال های با دامنه $V_s = 100mV_P$ ($V_o = 1V_P$)، حدود ١٣٪ خواهد بود که برای بسیاری از کاربرد ها خیلی زیاد است. به همین دلیل اغلب سعی می شود با بایاس کردن ترانزیستورها، اعوجاج عبوری را حتی الامکان کاهش داد.

علت به وجود آمدن اعوجاج عبوری، ولتاژ آستانه ترانزیستورها است. با اضافه کردن دو عدد منبع ولتاژ به اندازه ولتاژ آستانه، می توان اثر آنرا خنثی کرد. در شکل ٤-٣٧ پیشنهادی برای این منظور ارایه شده است. دو منبع ولتاژ به مقدار V_b بین منبع سیگنال و بیس های ترانزیستورها قرار داده شده است. هر قدر V_b کمتر باشد، جریان نقطه کار نیز کمتر و اعوجاج بیشتر خواهد بود. با تغییر V_b از صفر تا V_{BE_Q} می توان تقویت کننده را از کلاس B تا کلاس A تغییر داده، مصالحه ای بین اعوجاج و راندمان به عبارت دیگر تلفات، بر قرار کرد.



شکل ٤-٣٧ بایاس کردن طبقه پوش پول

در شکل ٤-٣٨ مشخصه انتقالی طبقه پوش پول برای چند V_b مختلف - به عنوان مثال - رسم شده است. در این نمودار منحنی سبز متعلق به $V_b = 0$ و منحنی زرد به ازای $V_b = 0.7V$ است.



شکل ٤-٣٨ مشخصه انتقالی طبقه پوش پول به ازای بایاس های مختلف

جدول ٤-٢ وابستگی اعوجاج به ولتاژ بایاس به عبارت دیگر جریان نقطه کار را برای مدار شکل ٤-٣٧ نمایش می دهد. در این مثال دامنه سیگنال ورودی $V_{sP} = 1V$، مقاومت بار $R_L = 10\Omega$ انتخاب شده است و مقاومت منبع قابل اغماض است ($R_s \to 0$). مسلم است که هر قدر دامنه ورودی بیشتر شود (تا قبل از بریدگی سیگنال خروجی) اعوجاج کمتر خواهد بود (چرا؟)

جدول ٤-٢ وابستگی اعوجاج به نقطه کار در طبقه پوش پول

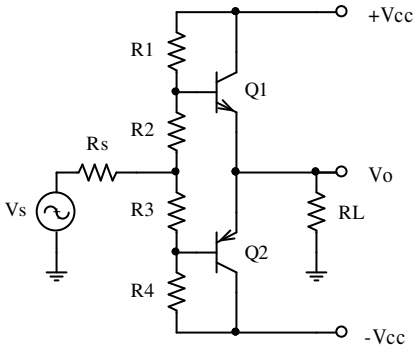
$V_b\ [V]$	0	0.3	0.5	0.6	0.7
$I_{C_Q}\ [mA]$	0	0	0.02	1	48
Class	*B*	*B*	*B*	*A – B*	*A*
THD [%]	50.0	23.3	9.78	3.76	0.07

چنان که از این مثال بر می آید، با زیاد کردن V_b، اعوجاج کم می شود. تا زمانی که جریان نقطه کار قابل اغماض باشد (مثلاً در این مثال به ازای $V_b = 0.5V$ جریان کلکتور ترانزیستورها در نقطه کار $I_{C_Q} = 20\mu A$ است)، می توان آنرا صفر فرض کرده، تقویت کننده کلاس B به حساب آید. به ازای $V_b = 0.6V$، جریان کلکتور ترانزیستورها در نقطه کار $I_{C_Q} = 1mA$ می شود، که مقدار قابل توجهی است (حد اکثر جریان کلکتور هر ترانزیستور $I_{C_P} \approx 87mA$ (چرا؟)). به همین دلیل تقویت کننده در این حالت کلاس AB به حساب می آید. و بالاخره به ازای $V_b = 0.7V$، جریان کلکتور ترانزیستورها در نقطه کار $I_{C_Q} = 48mA$ و حداقل جریان کلکتور هر ترانزیستور $I_{C\min} \approx 20mA$ خواهد بود (چرا؟). بنابراین چون همواره $I_C >> 0$ است، این تقویت کننده کلاس A می باشد.

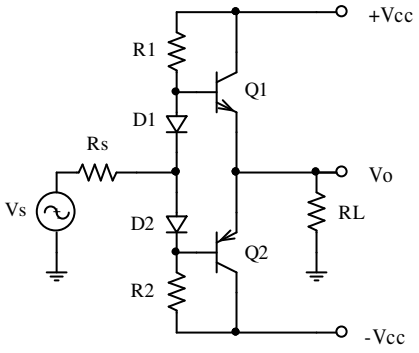
٤-٣-٣-٢-٣ نحوه بایاس کردن

طبیعتاً در مدار شکل ٤-٣٧ نمی توان از منابع ولتاژ واقعی (باطری) برای بایاس کردن استفاده کرد (چرا؟). به همین دلیل باید از منابع تغذیه اصلی V_b لازم را بدست آورد. بدیهی‌ترین روشی که ممکنست به ذهن برسد استفاده از تقسیم ولتاژ مقاومتی (شکل ٤-٣٩) است. این روش بعلت عیوبی که دارد (کدام؟) در عمل به ندرت از آن استفاده می شود. به همین دلیل از ذکر جزییات آن صرفنظر می کنیم.

در شکل ٤-٤٠ نحوه بایاس کردن به کمک شبکه دیود مقاومتی نمایش داده شده است. برای سادگی فعلاً فرض کنیم که مشخصات دیودها و ترانزیستورها طوری باشند که در نقطه کار $I_{C_Q} = I_{D_Q}$ شود. بنابراین با انتخاب مقدار مقاومتها ($R1 = R2$) می توان جریان نقطه کار را انتخاب کرد. به علت تقارن مدار، مطالب ذکر شده برای نیم پریود مثبت، برای نیم پریود منفی نیز صادقند. بنابراین توضیحات را برای نیم پریود مثبت ذکر می کنیم.



شکل ٤-٣٩ بایاس کردن به کمک تقسیم ولتاژ مقاومتی



شکل ٤-٤٠ بایاس کردن به کمک شبکه دیود مقاومتی

با افزایش ولتاژ منبع سیگنال، به تدریج I_{D1} کم و I_{B1}، در نتیجه I_{C1} زیاد می شود (چرا؟). این امر باعث افزایش ولتاژ خروجی می شود. بنابراین حداکثر ولتاژ خروجی به ازای $I_{D1}=0$ حاصل خواهد شد. مقدار این ولتاژ برابر خواهد بود با:

$$V_{o_{\max}}=\frac{R_L\left(V_{CC}-V_{BE}\right)}{R_L+R1/\beta} \qquad (۷۸-٤)$$

(چرا؟). بنابراین به ازای یک منبع تغذیه، مقاومت بار و ترانزیستور مشخص، هر قدر $R1$ کوچکتر باشد، ولتاژ به عبارت دیگر توان خروجی بیشتر خواهد بود (مطلوب). از طرف دیگر هر قدر $R1$ کوچکتر باشد I_{C_Q} بیشتر، و در نتیجه راندمان و مقاومت ورودی مدار نیز کمتر خواهد بود (نا مطلوب).

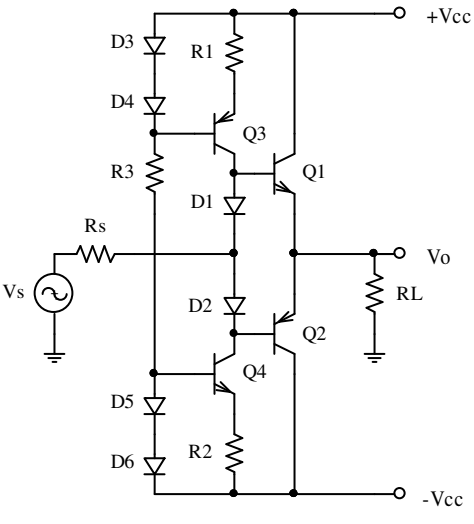
این دو خواسته با هم در تناقض هستند، از طرفی $R1$ باید آنقدر کوچک باشد، که در ماکزیمم ولتاژ خروجی جریان بیس را تامین کند، از طرف دیگر آنقدر بزرگ باشد که تاثیری در مقاومت ورودی نداشته باشد و جریان نقطه کار از حدی بیشتر نشود. همانطور که می دانیم، اگر بجای یک مقاومت معمولی از یک منبع جریان استفاده کنیم، هر دو خواسته همزمان برآورده می شود. شکل ٤-٤١ پیشنهادی را برای این منظور نمایش می دهد. در این مدار $Q3$، $R1$، $D3$، $D4$، و $R3$ منبع جریان نیم شاخه مثبت (*Current Source*) را تشکیل میدهند. به همین ترتیب $Q4$، $R2$، $D5$، $D6$، و $R3$ منبع جریان نیم شاخه منفی (*Current Sink*) را تشکیل میدهند. توجه شود که $R3$ جهت بایاس کردن دیودها بوده در هر دو مدار مشترک است. با انتخاب مقدار $R1$ ($R2=R1$)، جریان نقطه کار تعیین می شود. مقدار این جریان باید $I_{CS}>I_{C_{\max}}/\beta$ انتخاب شود (چرا؟). در این صورت حد اکثر دامنه ولتاژ خروجی:

$$V_{o_{\max}}=V_{CC}-V_{R1}-V_{EC3_{sat}}-V_{BE1}\approx V_{CC}-1.5V \qquad (۷۹-٤)$$

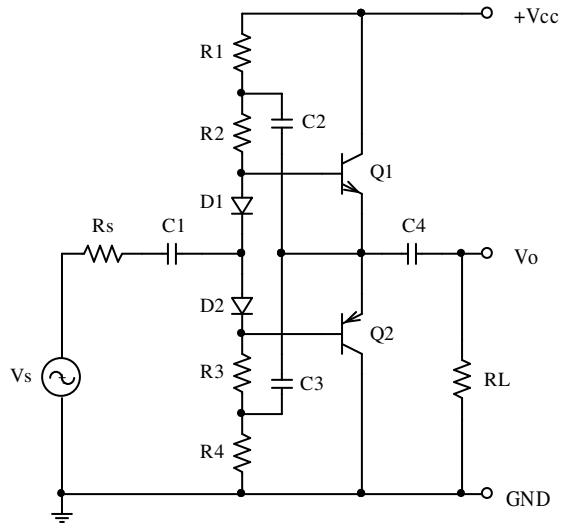
خواهد بود (چرا؟).

برای منابع تغذیه با ولتاژهای بالا، مثلاً $\pm V_{CC} = \pm 30V$، کاهش ۱,۵ تا دو ولت در دامنه خروجی قابل صرفنظر کردن است (کاهش حدود ۱۰٪ توان قابل حصول). ولی برای ولتاژ های پایین این امر قابل گذشت نیست. برای مثال با یک منبع تغذیه $\pm V_{CC} = \pm 3V$ توان قابل حصول بر روی مقاومت $R_L = 8\Omega$، در حالت ایده‌آل $P_{o\max} \approx 560mW$ است. در صورتی که با مدار شکل ٤-٤١ طبق رابطه (٤-٧٩) حداکثر به توان خروجی $P_{o\max} \approx 140mW$ دست خواهیم یافت.

در صورتی که تقویت کننده یک تقویت کننده AC باشد. می توان از خاصیت بوت استرپ[1] استفاده کرده در شرایط مساوی، به توانهای بیشتر دست یافت. در شکل ٤-٤٢ چنین مداری ارایه شده است.



شکل ٤-٤١ بایاسینگ بکمک منبع جریان



شکل ٤-٤٢ جانشینی منابع جریان با بوت استراپ

طبیعتاً چون تقویت کننده AC است، به جای دو منبع، می توان فقط از یک منبع تغذیه استفاده کرد. برای مقایسه این دو مدار با یک دیگر، $V_{CC}(BS) = \pm V_{CC}(CS) = 2V_{CC}(CS)$ در نظر گرفته می شود.

جهت تقارن مدار، $R1 = R4$، $R2 = R3$ و $C2 = C3$ انتخاب می شوند. اگر شرط خاصی نباشد، معمولاً $R2 \approx R1$ انتخاب می شود (چرا؟). اگر چنین باشد، در نقطه کار خازنهای $C2$ و $C3$ به یک

[1] Bootstrap

اندازه شارژ می شوند ($V_{C2} \approx V_{CC}/4$). همانطور که معمول است، در فرکانس های میانی باید خازنها برای سیگنال مثل اتصال کوتاه باشند. یعنی ولتاژ دو سر آنها نباید تغییر قابل توجهی کند، به عبارت دیگر خازنهای $C2$ و $C3$ مانند دو باطری با نیروی محرکه $V_{C2} \approx V_{CC}/4$ عمل می کنند ($V_{C1} = V_{C4} = V_{CC}/2$).

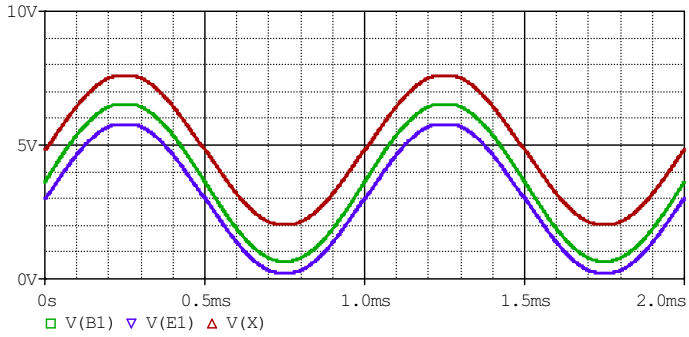
مجدداً به علت تقارن، برای بررسی مدار فقط نیم پریود مثبت را در نظر می گیریم. با افزایش ولتاژ سیگنال (V_s)، V_{B1} و در نتیجه V_{E1} نیز افزایش می یابد. افت ولتاژ V_{D1} و V_{BE1} تقریباً با یک دیگر برابر بوده اثر هم دیگر را خنثی می کنند (چرا؟). بنابراین $V_{E1} \approx V_s + \frac{1}{2}V_{CC}$. چنان که گره $R1$، $R2$، $C2$ را گره X به نامیم، خواهیم داشت: $V_X \approx V_s + \frac{3}{4}V_{CC} \approx V_{E1} + \frac{1}{4}V_{CC}$ (چرا؟). نکته جالبی که از این بررسی بدست می آید این است که اگر $V_{E1} \to V_{CC}$، می تواند $V_X \to \frac{5}{4}V_{CC}$. یعنی $V_X > V_{CC}$ و در نتیجه $V_{B1} > V_{CC}$! یعنی در این مدار در نیم پریود مثبت $Q1$ می تواند اشباع شود. بنابراین:

$$V_{E_{\max}} = V_{CC} - V_{CE1_{sat}} \approx V_{CC} - 0.3V \qquad (۸۰-٤)$$

یعنی با همان مقادیر مثال قبل ($V_{CC} = 6V$، $R_L = 8\Omega$) به توان $P_{o_{\max}} \approx 460mW$ دست می یابیم که بسیار بیش از حالت قبل است.

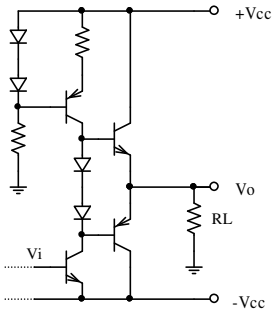
شکل ٤-٤٣ دیاگرام های زمانی شکل ٤-٤٢ را برای منبع تغذیه $V_{CC} = 6V$، مقاومت بار $R_L = 8\Omega$ و دامنه سیگنال ورودی $V_s = 3V$ را نمایش می دهد. چنان که مشاهده می شود ولتاژ امیتر در محدوده $V_E \approx 0.3V \cdots 5.7V$ تغییر می کند (منحنی آبی رنگ). از آنجایی که دامنه ولتاژ ورودی $V_s = 3V$ و بهره مدار $A_{v_s} \approx 1$ (چرا؟) انتظار می رود که ولتاژ خروجی $V_E = 0 \cdots 6V$ باشد. که عملاً به علت اشباع شدن ترانزیستورها در هر نیم پریود حدوداً ۰,۳ ولت کمتر از مقدار ایده‌آل است. اشباع

شدن ترانزیستورها در شکل به خوبی مشهود است (بریدگی شکل سینوسی). ولتاژ بیس (منحنی سبز) حدود ۰٫۷ ولت از امیتر بیشتر است. توجه شود که این مقدار ثابت نیست. در دامنه منفی این مقدار کمتر (حدود نیم ولت) و در دامنه مثبت بیشتر (حدود ۰٫۸ ولت) است (چرا؟). توجه شود که با وجود این که $V_{CC} = 6V$ است، ولتاژ بیس به حدود $V_{B1} \approx 6.5V$ می رسد. همچنین ولتاژ سر خازن $V_{B1} \approx 7.5V$ است.

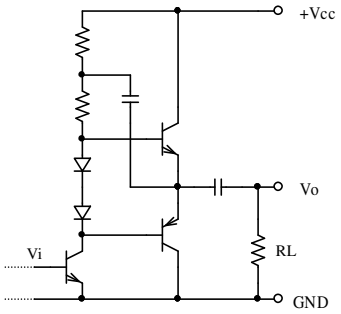


شکل ٤-٤٣ دیاگرام زمانی سیگنالهای: بیس (سبز) امیتر (آبی) و خازن بوت استراپ (قرمز)

در عمل در اغلب موارد، بخاطر وجود فیدبک در مدار احتیاجی نیست ورودی طبقه پوش پول بطور متقارن تحریک شود. (در تقویت کننده AC در هر صورت این امر صادق است). در چنین مواقعی می توان بجای یکی از منابع جریان یک مدار امیتر مشترک قرار داده، سیگنال را به بیس آن اعمال کرده، از خاصیت تقویت کنندگی آن نیز استفاده نمود. (شکل های ٤-٤٤ و ٤-٤٥)



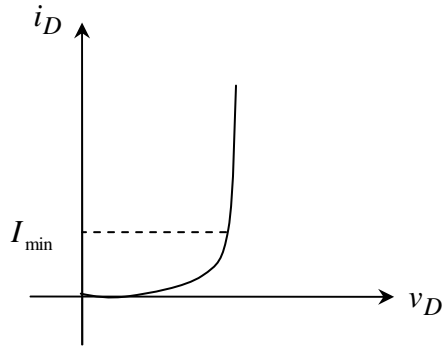
شکل ٤-٤٤ مدار با منبع جریان و راه انداز



شکل ٤-٤٥ مدار بوت استرپ با راه انداز

٤-٣-٣-٢-٤ پایداری حرارتی

از آنجایی که برای ثابت نگه داشتن افت ولتاژ دو سر دیودها حداقل جریانی لازم است (شکل ٤-٤٦) و حتی به ازای $V_{o_{\max}}$ باید $I_D > I_{\min}$ باشد، و چون: $I_{CS} = I_{\min} + I_{B_{\max}}$ پس در نقطه کار حداکثر جریان از دیودها می گذرد. با فرض این که دیودها با دیودهای بیس امیتر ترانزیستورها کاملاً مشابه باشند $I_D = I_{CS}/2$ خواهد بود. مثلاً اگر $I_{\min} = 2mA$، $R_L = 8\Omega$، $V_{o_P} = 8V$ و $\beta = 50$ فرض شوند، $I_{B_{\max}} = \frac{8V}{50 \times 8\Omega} = 20mA$ و $I_{CS} = 22mA$، در نتیجه نقطه کار ترانزیستورها: $I_C = \beta \frac{I_{CS}}{2} = 550mA$ خواهد بود! که این مقدار بسیار زیاد است. از طرف دیگر به فرض که بطریقی این جریان را کم کنیم، بر اثر اتلاف بروی ترانزیستورها، آنها گرم شده V_{BE} کم می شود. همان طور که می دانیم بر اثر گرم شدن به ازای هر درجه سانتیگراد V_{BE} حدوداً $2mV$ کم می شود. اگر V_D را ثابت فرض کنیم، مثل آن است که ولتاژ ورودی به ازای افزایش هر درجه سانتیگراد $2mV$ زیاد شده باشد. از آنجایی که بر اثر افزایش هر $20mV$ ولتاژ ورودی، جریان کلکتور حدوداً دو برابر می شود، در صورتی که تغییرات β و I_s را نسبت به افزایش دما صرفنظر کنیم با اختلاف ده درجه حرارت بین کریستال ترانزیستور و کریستال دیود، جریان نقطه کار دو برابر می شود. از آنجایی که در تقویت کننده های قدرتی توان تلف شده روی ترانزیستور معمولاً زیاد است، دمای آن



شکل ٤-٤٦ مشخصه دیود و ناحیه قابل استفاده آن

بسرعت بالا می رود. این بالا رفتن دما باعث بیشتر شدن جریان نقطه کار، که این خود باعث افزایش تلفات، ... و این امر، یعنی. فرار حرارتی[1]

بنابراین در این مدارنیز، مانند امیتر مشترک معمولی از مقاومت امیتر استفاده کرده، علاوه بر آن دیودها را به بدنه ترانزیستور اتصال حرارتی می دهند تا اختلاف دما بین کریستال های ترانزیستور و دیود حتی الامکان کم باشد.

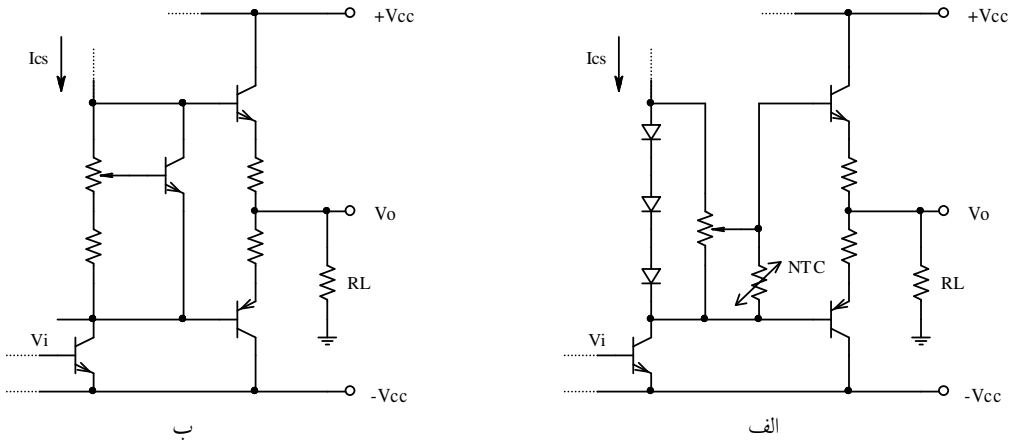
در صورت مشابه بودن دیود و دیود بیس امیتر با اضافه کردن یک مقاومت یک اهمی در امیتر، در دمای اتاق، در مثال فوق جریان نقطه کار از $550mA$ به حدود $75mA$ تنزل خواهد کرد! و اگر فرض کنیم بر اثر اتلاف ترانزیستور اختلاف دمای کریستال های ترانزیستور و دیود $75^{\circ}C$ شود، این جریان فقط به $150mA$ افزایش خواهد یافت. در عمل همانطور که گفته شد، ترانزیستورها و دیودها کاملاً مشابه نیستند. از طرف دیگر جریان نقطه کار معمولاً بین کمتر از 0.5% تا حدود 5% جریان ماکزیمم انتخاب می شود. بنابراین برای مثال بالا که $I_P = \frac{V_P}{R_L} = 1A$ است $75mA$ زیاد است؛ $10\cdots15mA$ مقدار متعارفی است. بنابراین جریان نقطه کار باید قابل تنظیم باشد که برای این منظور از مدارهای شکل ٤-٤٧ استفاده می شود.

در شکل ٤-٤٧ الف از یک ترمیستور با ضریب حرارتی منفی، NTC[2] برای پایداری حرارتی بیشتر استفاده شده است. این ترمیستور باید با بدنه ترانزیستورهای قدرتی اتصال حرارتی داشته باشد، ولی از لحاظ الکتریکی از آنها ایزوله باشد. هنگامی که ترانزیستورها خنک هستند، توسط پتانسیومتر، جریان نقطه‌ی کار مطلوب انتخاب می شود. بر اثر افزایش دمای ترانزیستورها، جریان نقطه کار زیاد می شود. توسط مقاومت های امیتر تا حدی از افزایش دما جلوگیری می شود (فیدبک منفی). هرقدر بخواهیم این

[1] Thermal Runaway
[2] NTC: Negative Temperature Coefficient Thermistor

کنترل بهتر انجام شود، باید افت ولتاژ دو سر مقاومت امیتر بیشتر باشد. این یعنی توان کمتر در خروجی و تلفات بیشتر سیستم. ترمیستور یک مقاومت وابسته به حرارت است که برای NTCها این وابستگی به صورت یک تابع نمایی است. بنابراین بر اثر افزایش دما مقاومت ترمیستور به شدت افت کرده باعث کاهش جریان نقطه کار می شود. با انتخاب صحیح مقادیر المانها، پایداری حرارتی بسیار خوبی برای نقطه کار حاصل می شود. از این روش بیشتر موقعی استفاده می شود که توان خروجی زیاد و ولتاژ منبع تغذیه کم باشد. بنابراین نمی توان افت ولتاژ کافی بر روی مقاومت های امیتر انداخت.

در آی سی سازی معمولاً مجتمع سازی ترمیستور متداول نیست. بجای آن از مدار شکل ٤-٤٧ ب استفاده می شود. اگر بین کلکتور - بیس و بیس - امیتر یک ترانزیستور دو مقاومت قرار دهیم، ولتاژ کلکتور - امیتر ضریبی از ولتاژ بیس - امیتر خواهد بود ($V_{CE} = (1 + R1/R2) \times V_{BE}$) به همین دلیل به این مدار یک ضرب کننده ولتاژ بیس امیتر[1] گویند. توسط پتانسیومتر ولتاژ مورد لزوم بین دو بیس انتخاب می شود و اگر بدنه ترانزیستور کنترل کننده با بدنه ترانزیستورهای قدرت اتصال حرارتی داشته باشد (توجه کنید از لحاظ الکتریکی عایق باشد!) تا حد زیادی به پایداری حرارتی کمک میکند.



شکل ٤-٤٧ تثبیت جریان نقطه کار طبقه پوش پول. الف- به کمک ترمیستور، ب- به کمک ترانزیستور

[1] V_{BE}-Multiplier

تذکر: در آی سی، به علت این که ترانزیستورها بر روی یک کریستال ساخته شده اند، مشخصات آنها به هم شبیه است. از طرف دیگر دمای اتصال بیس – امیتر آنها یکسان می باشد، لذا نیازی به تنظیم جریان نقطه کار به عبارت دیگر استفاده از پتانسیومتر نداریم (استفاده از یک مقاومت ثابت به جای پتانسیومتر).

٤-٤ ترکیب ترانزیستورها

تقویت کننده های قدرتی عمدتاً تقویت کننده های ولتاژ هستند (منبع ولتاژ وابسته به ولتاژ). بدین معنی که باید دارای مقاومت ورودی زیاد و مقاومت خروجی کم باشند. این امر بخصوص در مورد تقویت کننده پوش پول صادق است. زیرا از این طبقه معمولاً موقعی استفاده می شود، که مقاومت بار کوچک (جریان خروجی زیاد، معمولاً $I_o \approx 0.1 \cdots 20A$) است. برای راه اندازی (تحریک) این طبقه از مدارهای معمولی (تقویت کننده امیتر مشترک کلاس A، تقویت کننده عملیاتی و ...) استفاده می شود. به همین دلیل سعی می شود ماکزیمم جریان مورد لزوم ورودی از چند میلی آمپر تجاوز نکند. بنابراین مثلاً اگر بخواهیم حداکثر جریان خروجی $I_{o\max} = 10A$ باشد، و بیشترین مقدار جریان ورودی را $I_{i\max} = 10mA$ در نظر بگیریم، به ترانزیستورهایی با: $\beta_{\min} = \frac{10A}{10mA} = 1000$ نیاز خواهد بود. در چنین مواقعی معمولاً از آرایش های دارلینگتن[1] استفاده می شود.

یا فرض کنید در مداری باید $I_{o\max} = 15A$ باشد ولی ترانزیستورهایی با $I_{C\max} = 5A$ در دسترس است. یا این که توان تلف شده برروی ترانزیستور $P_{D\max} = 120W$ محاسبه شده است، در صورتی که ترانزیستورهایی با توان قابل تحمل (با رادیاتور معقول) $P_{Q\max} = 30W$ در اختیار است. در این حالت می توانیم ترانزیستورها را با هم موازی کنیم.

بنابراین در صورتی که به ترانزیستوری با مشخصاتی نیاز باشد که در اختیار نیست، با ترکیب چند ترانزیستور، می توان به آن مشخصات دست یافت[2].

---

[1] Darlington

[2] توجه شود که در اینجا منظور ما از مشخصات ترانزیستور، فقط حداکثر جریان، توان قابل تحمل و بهره جریان است.

٤-٤-١ مدار دارلینگتن

از آنجایی که βی ترانزیستورهای قدرتی معمولاً کم است ($\beta_{\min} \approx 10\cdots50$) برای بدست آوردن βی مطلوب از آرایش دارلینگتن استفاده می شود. در شکل ٤-٤٨ چند مدار دارلینگتن نمایش داده شده است.

مدار شکل ٤-٤٨ الف مدار های دارلینگتن معمولی را برای ترانزیستورهای *npn* و *pnp* نمایش می دهد. برای این مدار:

$$\beta = \beta_1 \cdot \beta_2 + \beta_1 + \beta_2 \approx \beta_1 \cdot \beta_2 \qquad (٨١-٤)$$

$$V_{BE} = V_{BE1} + V_{BE2} \approx 1.5V \qquad (٨٢-٤)$$

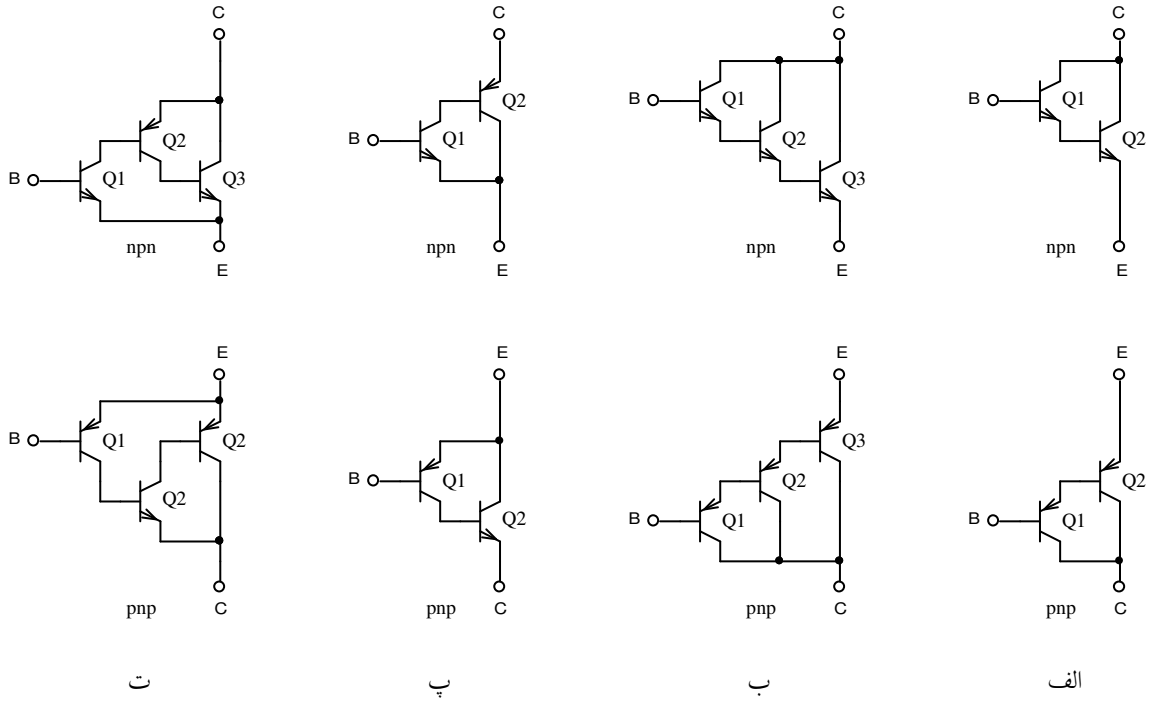
$$V_{CE_{sat}} = V_{CE1sat} + V_{BE2} \approx 1V \qquad (٨٣-٤)$$

با این مدار $\beta_{\min} \approx 400\cdots2000$ قابل حصول است. چنان که به βهای بیشتری نیاز باشد، می توان تعداد طبقات را افزایش داد. برای مثال مدار شکل ٤-٤٨ ب مدار های دارلینگتن سه مرحله را برای ترانزیستورهای *npn* و *pnp* نمایش می دهد. برای این مدار:

$$\beta \approx \beta_1 \cdot \beta_2 \cdot \beta_3 \qquad (٨٤-٤)$$

$$V_{BE} = V_{BE1} + V_{BE2} + V_{BE3} \approx 2.3V \qquad (٨٥-٤)$$

$$V_{CE_{sat}} = V_{CE1sat} + V_{BE2} + V_{BE3} \approx 1.8V \qquad (٨٦-٤)$$



شکل ٤-٤٨ چند مثال برای آرایش دارلینگتن

مدار شکل ٤-٤٨ پ مدار های دارلینگتن مکمل را برای ترانزیستورهای *npn* و *pnp* نمایش می دهد. برای این مدار:

$$\beta \approx \beta_1 \cdot \beta_2 \qquad (٨٧-٤)$$

$$V_{BE} = V_{BE1} \approx 0.7V \qquad (٨٨-٤)$$

$$V_{CE_{sat}} = V_{CE1sat} + V_{BE2} \approx 1V \qquad (٨٩-٤)$$

همانطور که از (٤-٨٨) بر می آید، مزیت این مدار نسبت به مدار الف، در کوچکتر بودن آستانه هدایت آن است. معمولاً ترانزیستورهای قدرتی *pnp* دارای کیفیت پایین تری نسبت به ترانزیستورهای *npn* هستند. به همین دلیل اکثراً در تقویت کننده های پوش پول با توان بالا، برای ترانزیستور *npn* از مدار الف، و برای ترانزیستور *pnp* از مدار پ استفاده می شود.

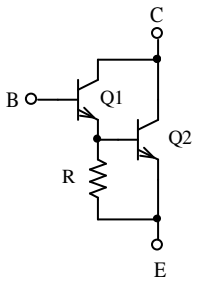
مدار شکل ٤-٤٨ ت مدار های دارلینگتن مکمل سه مرحله را برای ترانزیستورهای npn و pnp نمایش می دهد. برای این مدار:

$$\beta \approx \beta_1 \cdot \beta_2 \cdot \beta_3 \qquad (٩٠-٤)$$

$$V_{BE} = V_{BE1} \approx 0.7V \qquad (٩١-٤)$$

$$V_{CE_{sat}} = V_{CE1sat} + V_{BE2} \approx 1V \qquad (٩٢-٤)$$

چنان که ملاحظه می شود، مشخصات این مدار از مدار ب بهتر است (ولتاژ آستانه هدایت و اشباع کمتر، با βهای مشابه). ترکیبات گوناگون دیگری نیز وجود دارد که کمتر مورد استفاده قرار میگیرند. بنابراین از ذکر آنها خودداری می شود.



شکل ٤-٤٩ اضافه کردن مقاومت به مدار دارلینگتن

معمولاً در مدارهای دارلینگتن بین بیس و امیتر یک مقاومت قرار می دهند (شکل ٤-٤٩). این مقاومت باعث می شود که جریان نشتی ترانزیستور اول - که با افزایش دما به صورت نمایی زیاد می شود - از طریق این مقاومت عبور کرده وارد بیس ترانزیستور بعدی نشده تقویت نگردد. علاوه بر آن در دامنه های کم ولتاژ خروجی - که جریان بیس ترانزیستور دوم، به عبارت دیگر امیتر ترانزیستور اول کم است - این مقاومت باعث می شود که جریان ترانزیستور دوم به یک میزان حداقلی برسد و در نتیجه مقاومت امیتر آن از حدی بیشتر نشود.

برای دسترسی به بهره های جریان به عبارت دیگر مقاومت ورودی های بسیار زیاد می توان به جای استفاده از مدارهای دارلینگتن، از فت های قدرتی[1] استفاده کرد. عیوب $PMOS$ نسبت به BJT عبارتند از:

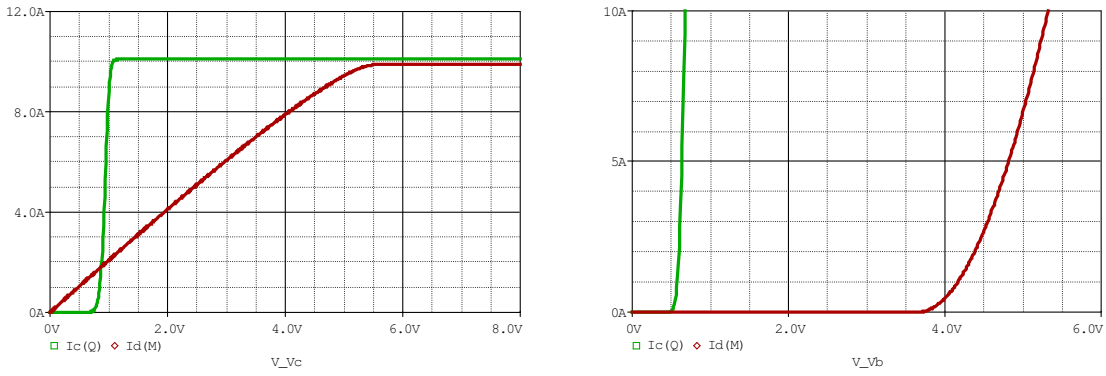
١- کمتر بودن g_m (زیاد تر بودن مقاومت خروجی).

[1] PMOS: Power MOSFET

۲- زیاد بودن ولتاژ آستانه هدایت. برای مثال برای اکثر فت های قدرتی $V_t \approx 3\cdots 10V$ در مقایسه با $V_{BE} = V_t \approx 0.7V$ در مدار ٤-٤٨ پ یا ت.

۳- نیاز به افت ولتاژ خروجی بیشتر به ازای جریانهای مساوی ($V_{DS} >> V_{CE}$).

در شکل ٤-٥٠ مشخصه های انتقالی و خروجی یک *PMOS* با *BJT* (دارلینگتن شکل ٤-٤٨ ت) برای جریانهای یکسان باهم مقایسه شده اند.

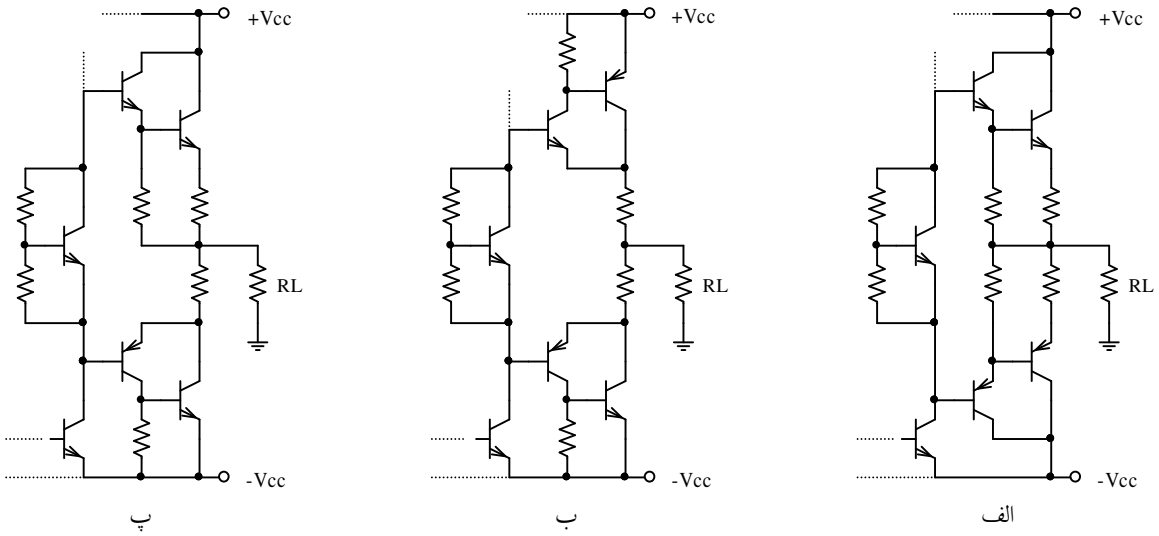


ب الف

شکل ٤-٥٠ مقایسه مشخصات *PMOS* (نمودارهای قرمز) با *BJT* (نمودارهای سبز)، الف: مشخصه انتقالی و ب: مشخصه خروجی

چنان که در این شکل ملاحظه می شود، برای $I_D \approx 10A$ به یک ولتاژ تحریک $V_{GS} \approx 5.3V$ نیاز است (نمودار قرمز در شکل ٤-٥٠ الف) و در این حالت باید $V_{DS} > 5.5V$ باشد (نمودار قرمز در شکل ٤-٥٠ ب). در صورتی که برای $I_C \approx 10A$ به یک ولتاژ تحریک $V_{BE} \approx 0.7V$ نیاز است (نمودار سبز در شکل ٤-٥٠ الف) و در این حالت باید $V_{CE} > 1.2V$ باشد (نمودار سبز در شکل ٤-٥٠ ب).

البته در عمل به واسطه مزایایی که *PMOS* نسبت به *BJT* دارد؛ از قبیل خطی تر بودن (تابع درجه دو در مقابل تابع نمایی)، فرکانس کار بیشتر، ... و از همه مهمتر وابستگی بسیار کمتر به دما[1]، در برخی از موارد از این ترانزیستور استفاده می شود. به دلیل نیاز به ولتاژهای زیاد برای فت (شکل ٤-٥٠) باید از منابع کمکی و مدارهای بایاسینگ و تحریک خاص استفاده کرد، که بحث در مورد آنها از حوصله این درس خارج است. به عنوان مثال در شکل ٤-٥١ چند مدار پوش پول با *BJT* نمایش داده شده است.

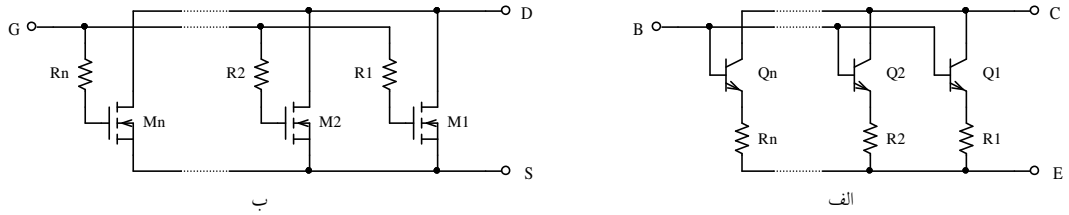


شکل ٤-٥١ چند مثال برای طبقه پوش پول با آرایش های مختلف دارلینگتن

[1] ضریب حرارتی فت منفی است، یعنی به ازای ولتاژ تحریک ثابت، با افزایش دما جریان نقطه کار کم می شود. بنابراین برای فت فرار حرارتی پیش نمی آید. اگر در دمای اتاق، به ازای ولتاژهای تحریک ثابت جریانها را $I_C = I_D = 10A$ انتخاب کنیم، با تغییر دما $T = 0 \cdots 100°C$ جریان فت فقط در محدوده $I_D \approx 10.9 \cdots 8A$ تغییر می کند، در صورتی که جریان ترانزیستور در گستره $I_C \approx 1.3 \cdots 1080A$ تغییر خواهد کرد! طبیعتاً اگر جریان را به طریقی محدود نکنیم، ترانزیستور معیوب خواهد شد.

٤-٤-٢ موازی کردن ترانزیستورها

در صورتی که جریان خروجی زیاد باشد، معمولاً یک ترانزیستور نمی تواند آنرا تامین کند. در چنین مواردی، چند ترانزیستور را باهم موازی می کنند. نحوه موازی کردن ترانزیستورها در شکل ٤-٥٢ نمایش داده شده است.



شکل ٤-٥٢ نحوه موازی بستن ترانزیستورها؛ الف: *BJT* ب: *MOSFET*

برای موازی کردن *BJT* ها باید در امیتر آنها مقاومتهای کوچکی قرار داد. در غیر این صورت – به علت اختلاف جزیی که حتی بین ترانزیستورهای یکسان وجود دارد – جریان گذرنده از ترانزیستورها به یک اندازه نخواهد بود. دمای ترانزیستوری که جریان بیشتری را تامین می کند، بر اثر تلفات بیشتر، بالا تر خواهد رفت. به علت این که برای همه ترانزیستورهای موازی V_{BE} ها با هم برابرند، ترانزیستوری که گرم تر شود، جریانش نیز زیاد تر خواهد شد. چون جریان گذرنده از مجموعه‌ی ترانزیستورها مقداری ثابت است (چرا؟)، جریان ترانزیستورهای دیگر کمتر خواهد شد. این امر باعث اختلاف دمای بیشتر بین کریستال های ترانزیستورها و در نتیجه بیشتر شدن جریان ترانزیستور گرم تر و کمتر شدن جریان ترانزیستورهای خنک تر و ... (فرار حرارتی). بالاخره پس از مدت کوتاهی دما، و در نتیجه جریان ترانزیستور از حد مجاز گذشته، باعث معیوب شدن آن می گردد.

معیوب شدن یک نیمه هادی معمولاً باعث اتصال کوتاه شدن آن می شود. اگر در مدار فیوز وجود داشته باشد، یا جریان منبع تغذیه محدود شده باشد، سوختن ترانزیستور اولی باعث محافظت بقیه می شود. ولی اگر جریان از حدی بیشتر باشد، ترانزیستور معیوب شده اتصال باز می شود. در این صورت

مجموع جریان ها توسط تعداد کم تری ترانزیستور باید تامین شود. در نتیجه جریان گذرنده از ترانزیستورها، یکی پس از دیگری از مقدار مجاز بیشتر شده در مدت زمان بسیار کوتاهی همه ترانزیستورها معیوب می شوند.

وجود مقاومت در امیتر ها باعث می شود که V_{BE}های ترانزیستورها دیگر برابر نباشند. در نتیجه افت ولتاژ مقاومت امیتر ترانزیستوری که جریان بیشتری از آن عبور می کند، بیشتر شده V_{BE} آن کمتر می شود (فیدبک منفی). این امر باعث توزیع یکنواخت تر جریان بین ترانزیستورها، به عبارت دیگر جلوگیری از افزایش بیش از حد دما و در نهایت معیوب شدن آنها می شود.

برای انتخاب مقاومت های امیتر باید توجه کرد که این مقاومت هر قدر بزرگتر باشد، پایداری حرارتی بهتر ولی تلفات هم بیشتر می شود (چرا؟). اگر فرض کنیم که حد اکثر اختلاف دما بین کریستال های ترانزیستورها $\Delta T = 100°C$ باشد، حد اکثر اختلاف ولتاژ بین ترانزیستورها $\Delta V_{BE} \approx 200mV$ خواهد بود (چرا؟). بنابراین کافی است:

$$R_E \approx \frac{200mV}{I_{C_{\max}}} \qquad (۹۱-٤)$$

انتخاب شود (چرا؟).

نکته دیگری که باید مورد توجه قرار گیرد، این است که: اگر حد اکثر جریان مطلوب $I_{\max}$، و حد اکثر جریان قابل تحمل هر ترانزیستور $I_{C_{\max}}$ باشد، باید تعداد ترانزیستورهایی که باهم موازی می شوند:

$$n = k\frac{I_{\max}}{I_{C_{\max}}}, \quad n \in \mathbf{N}, \quad k > 1 \qquad (۹۲-٤)$$

باشد. k را ضریب اطمینان نامیم و در عمل $k \approx 1.3 \cdots 1.7$ انتخاب می شود.

مثال ٤-٤ در مداری، حداکثر جریان خروجی که از ترانزیستور ممکن است بگذرد، $I_{\max}=10A$ است. مستقل از جریان، حد اکثر ولتاژ ترانزیستور ممکن است $V_{\max}=10V$ شود. ترانزیستور قدرتی که در اختیار داریم $2N3055$ با مشخصات $I_{C_{\max}}=15A$، $V_{CE_{\max}}=60V$ و $P_{D_N}=115W$ است. شما مدار را چگونه طرح می کنید؟

حل: با توجه به این که $P_{D_{\max}}=V_{\max}\cdot I_{\max}=100W$ چنین به نظر می رسد که ترانزیستور موجود خواسته های مسئله را بر آورده می سازد ($I_{C_{\max}}>I_{\max}$، $V_{CE_{\max}}>V_{\max}$ و $P_{D_N}>P_{D_{\max}}$). ولی با نظر به این که با یک رادیاتور با ابعاد معقول، توان قابل تحمل یک ترانزیستور بیش از حدود ۳۰٪ توان نامی آن نیست[1]، بر روی این ترانزیستور مجاز است حد اکثر $P_Q\approx 0.3P_{D_N}\approx 35W$ تلف شود. در نتیجه: $I_Q=\frac{P_Q}{V_Q}=\frac{35W}{10V}=3.5A$. از (٤-٩٢): $n=k\frac{I_{\max}}{I_{C_{\max}}}>1.3\times\frac{10A}{3.5A}\approx 3.7$. بنابراین با انتخاب $n=4$، $k=1.4$ حاصل می شود که مقدار قابل قبولی است.

جریان گذرنده از هر ترانزیستور حدوداً $I_C\approx\frac{10A}{4}\approx 2.5A$ می شود. از (٤-٩١) هم مقاومت های امیتر: $R_E\approx\frac{200mV}{2.5A}\approx 80m\Omega\approx 0.1\Omega$ بدست می آیند.

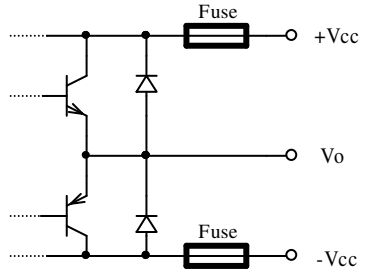
برای موازی کردن $MOSFET$ها، مطابق شکل ٤-٥٢ عمل می شود. برای موازی کردن آنها لازم نیست مقاومتی در سورس فرار داده شود، زیرا همانطور که می دانیم - بر خلاف BJT - ضریب حرارتی جریان درین منفی است. بدین معنی که بر اثر ازدیاد دما، جریان درین کاهش می یابد. به دلایل فیزیکی، باید گیت ها را توسط مقاومت هایی در حدود چندین اهم از یک دیگر جدا کرد.

[1] ر ک بخش ٤-٢-٣ مثال ٤-١ و شکل ٤-١١

٤-٥ محافظت تقویت کننده ها

همانطور که دیدیم، معمولاً ترانزیستور های طبقه آخر تقویت کننده های توان، در معرض ولتاژها، جریانها، و دما های بالا قرار می گیرند. اگر هر کدام از این پارامترها از حد مجاز خود تجاوز کند، باعث معیوب شدن ترانزیستور می گردد. اگر فرض کنیم در یک طبقه پوش پول هر ترانزیستور از ترکیب سه ترانزیستور موازی و دارلینگتن سه طبقه تشکیل شده باشد، در این طبقه جمعاً ۱۰ عدد ترانزیستور به کار رفته است. در حالت کلی اگر یکی از این ترانزیستورها معیوب شود، باعث سوختن همه آنها می شود.

برای محافظت مدار در مقابل ولتاژهای غیر مجاز، معمولاً از دیود استفاده می شود (شکل ٤-٥٣). در شرایط عادی، دیودها در جهت معکوس بایاس شده، نقشی در کار کرد مدار ندارند. چنان که ولتاژ منابع تغذیه معکوس وصل شود، اشتباهاً به خروجی ولتاژی بیش از ولتاژ منبع اعمال شود، یا به خاطر بار سلفی در شرایطی ولتاژهای غیر مجاز ایجاد شوند ($v = L\frac{di}{dt} > |V_{CC}|$)، این دیود ها در جهت مستقیم قرار گرفته ولتاژ را در حد مجاز نگه می دارند. چنان که انرژی جذب شده به عبارت دیگر جریان گذرنده از دیود ها بخواهد از حد مجاز بیشتر شود، فیوز می سوزد و سیستم محافظت می شود.



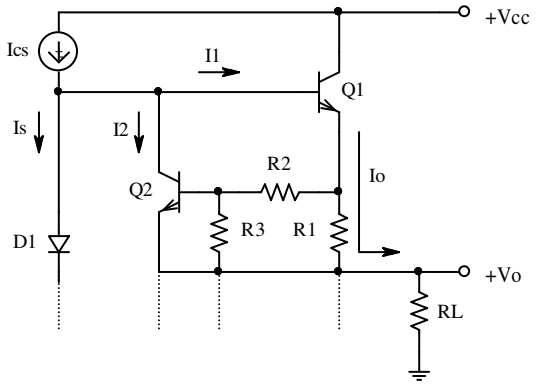
شکل ٤-٥٣ محافظت در مقابل ولتاژ غیر مجاز

اگر به دلایلی، نظیر افزایش دمای محل کار، معیوب شدن فن، مسدود شدن منافذ هوا، ... دمای ترانزیستور ها از حدی بیشتر شود، این افزایش دما توسط حسگرهایی - مثلاً: ترموستات، ترمیستور،

ترانزیستور و غیره – که بر روی رادیاتور نصب می شوند، اندازه گیری شده توسط مداری فرمان قطع جریان صادر می شود.

مسایل فوق، معمولاً برای تقویت کننده هایی با توانهای نامی بالا ($P_{o_N} > 50W$) پیش می آیند. ولی برای کلیه تقویت کننده ها، از جمله تقویت کننده های عملیاتی معمولی با توان خروجی حدود چند ده میلی وات، احتمال اتصال کوتاه شدن خروجی زیاد است. بر اثر اتصال کوتاه شدن خروجی با زمین، $+V_{CC}$ یا $-V_{CC}$، جریان به عبارت دیگر توان لحظه ای ترانزیستورهای طبقه پوش پول بیش از حد زیاد شده، در مدت زمان کوتاهی باعث معیوب شدن ترانزیستورها به عبارت دیگر آی سی می گردد. بر خلاف حالت قبل؛ که افزایش دما یک فرایند کند است، و حسگرها و مدارهای مربوطه فرصت عکس العمل دارند، به هنگام اتصال کوتاه شدن (یا حتی اتصال کوتاه نشدن ولی وصل کردن مقاومت بار کمتر از مقدار نامی) دمای کریستال ترانزیستور به سرعت بالا رفته و قبل از این که فرصت تبادل حرارت با محفظه ترانزیستور یا رادیاتور حاصل شود، ترانزیستور معیوب می شود.

برای جلوگیری از زیاد شدن بیش از حد جریان کلکتور، از محدود کننده های جریان استفاده می شود. ایده کلی این روش این است که جریان لحظه ای خروجی دایماً اندازه گیری و با مقدار حد مجاز مقایسه می شود. به محض این که جریان خروجی بخواهد از حد مجاز بیشتر شود، جریان تحریک کمتر شده، جریان خروجی در حد مجاز باقی می ماند.



شکل ٤-٥٤ محدود کننده جریان

شکل ٤-٥٤ یکی از مدارهای استاندارد محدود کننده جریان خروجی را نمایش می دهد. در این شکل قسمتی از مدار شکل ٤-٤١ به عبارت دیگر ٤-٤٧ نمایش داده شده است. در این

مدار $R1$ علاوه بر این که جهت پایداری حرارتی مورد استفاده قرار می گیرد، به عنوان حسگر جریان نیز عمل می کند. عناصر به گونه ای انتخاب می شوند که تا زمانی که:

$$I_o < \left(1+\frac{R2}{R3}\right)\times\frac{V\gamma}{R1} \qquad (V\gamma \approx 0.5\cdots 0.6V\,,\quad R2, R3 >> R1) \qquad (۹۳-٤)$$

باشد، $Q2$ قطع بوده نقشی در کار کرد مدار نداشته باشد.

با افزایش جریان خروجی، بالاخره افت ولتاژ دو سر $R1$ و در نتیجه خروجی مقسم ولتاژ $R2$، $R3$ به اندازه‌ی ولتاژ آستانه‌ی هدایت ترانزیستور $Q2$ میرسد. این امر باعث می شود که $I2$ که تا کنون صفر بوده است، شروع به افزایش کند. در این صورت $I1$ به نحوی کاهش می یابد که $I_o \approx const.$ باقی می ماند (فیدبک منفی، جریان موازی).

برای تقویت کننده های کم توان که I_o کوچک است (مانند آپ امپ ها)، افت ولتاژ بر روی $R1$ (مثلاً برای $LM741$ ۲۵ اهم [۳])، مقداری کوچک و در حد ولتاژ آستانه هدایت ترانزیستور $Q2$ بوده می توان $R2$ و $R3$ را حذف کرد ($R2=0$ و $R3=\infty$).

مثال ٤-۵ یک تقویت کننده برای $P_o = 1W/100\Omega$ [1] با محدود کننده جریان خروجی طرح کنید. مشخصات ترانزیستور قدرتی: $P_{D_N}=10W$، $I_{C_{\max}}=1A$، $V_{CE_{\max}}=60V$ و $\beta = 40\cdots 150$.

حل: برای مثال می توان از مدار شکل ٤-۵٤ استفاده کرد. اول باید ولتاژ منبع تغذیه مورد نیاز را بدست آوریم:

داریم:
$$P_o = \frac{V_o^2}{2R_L} \quad \Rightarrow \quad V_{o_{\max}} = \sqrt{2R_L P_o} = \sqrt{2\times 100\times 1} \approx 14.2V$$

[1] نحوه نگارش $P_o = 1W/100\Omega$ از نظر فیزیکی اشتباه است! ولی در مهندسی متداول بوده مفهوم آن این است که توان یک وات بر روی مقاومت ۱۰۰ اهم منتقل می شود ($P_o = 1W$، $R_L = 100\Omega$).

از شکل ٤-٥٤: $V_{CC} = V_{o_{\max}} + V_{R1} + V_{BE1} + V_{CS} \geq 14.2 + 0.7 + 0.7 + 1 = 16.6V$

با توجه به نزدیکترین ولتاژ استاندارد: $V_{CC} = 18V$

با فرض تقارن مدار: $\pm V_{CC} = \pm 18V$

انتخاب می شود. ولتاژ شکست ترانزیستور هم مشکلی ندارد. زیرا: $V_{CE_{\max}} > 36V$

سپس جریان مورد لزوم را محاسبه می کنیم:

$$I_{o_{\max}} = \frac{V_{o_{\max}}}{R_L} \approx \frac{14.2V}{100\Omega} \approx 142mA$$

بنابراین جریان ترانزیستور هم مشکلی ندارد. زیرا: $I_{C_{\max}} > 142mA$

برای این که مدار کار خود را مطمئناً درست انجام دهد، مثلاً: $I_{o_{\max}} \approx 150mA$

انتخاب می شود. در این صورت مطمئناً (چرا؟): $P_{Q_{\max}} < 36V \times 150mA = 5.4W$

و اگر فقط امکان اتصال کوتاه به زمین باشد (چرا؟): $P_{Q_{\max}} < 18V \times 150mA = 2.7W$

در هر صورت با تعبیه رادیاتور مناسب یا محافظت دمایی، مشکلی پیش نمی آید.

برای انتخاب منبع جریان چنین استدلال می کنیم:

برای این که در شرایط عادی مدار درست کار کند: $I_{CS} = I_{D1_{\min}} + I_{B1_{\max}}$

برای این که مقاومت دیود قابل اغماض باشد، مثلاً: $I_{D1_{\min}} \geq 2mA$

انتخاب می شود. چون در بدترین شرایط مدار باید درست کار کند: $\beta = \beta_{\min}$

در نظر گرفته می شود بنابراین: $I_{B1_{\max}} = \frac{I_{o_{\max}}}{\beta_{\min}} \approx \frac{150mA}{40} \approx 3.75mA$

از آنجا: $I_{CS} = I_{D1_{\min}} + I_{B1_{\max}} \geq 2mA + 3.75mA$

بنابراین مثلاً: $I_{CS} = 6mA$

انتخاب می شود. در عمل ممکن است: $\beta = \beta_{\max} = 150$

باشد. از طرف دیگر در بدترین شرایط ممکن است: $I_{S_{\min}} = I_{D_{\min}} = 0$

شود. اگر محدود کننده جریان وجود نداشته باشد: $I_{B_{\max}} = I1_{\max} = I_{CS} = 6mA$

و از آنجا: $I_{o_{\max}} = \beta_{\max} I_{SC} = 150 \times 6mA = 900mA$

در این حالت هنوز: $I_{o_{\max}} < I_{C_{\max}}$ ولی $P_{Q_{\max}} >> P_{D_N}$ بوده ترانزیستور (ها) مطمئناً معیوب می شوند. با اضافه کردن $Q2$ به مدار، جریان خروجی کنترل (محدود) می شود. در این مثال چون مقاومت بار $R_L = 100\Omega$، مقدار بزرگی است، $I_{o_{\max}}$ و در نتیجه $V_{R1} \le V\gamma$. از (٤-٩٣) با انتخاب $R2 = 0$ و $R3 = \infty$:

$$I_{o\max} = \frac{R2+R3}{R3} \times \frac{V\gamma}{R1} = \frac{V\gamma}{R1} \quad \Rightarrow \quad R1 = \frac{V\gamma}{I_{o\max}} \approx \frac{0.6V}{150mA} \approx 4\Omega$$

و توان تلف شده بر روی آن: $P_{R1\max} = R1 I_{o_{\max}}^2 \approx 4\Omega \times (150mA)^2 \approx 90mW$

بنابراین با توجه به مقاومت های استاندارد $E12$: $R1 = 3.9\Omega / 0.25W$

انتخاب می شود. در این صورت: $I_{o\max} = \frac{V\gamma}{R1} \approx \frac{0.6V}{3.9\Omega} \approx 154mA \approx 150mA$

با مقادیر انتخاب شده: $V_{o\max} = I_{o\max} R_L \approx 15V$

$$P_{o_{\max}} = \frac{V_{o_{\max}}^2}{2R_L} \approx \frac{(15V)^2}{2 \times 100\Omega} \approx 1.13W$$

$$I_{CC_{\max}} = I_{CS} + \frac{I_{o_{\max}}}{\pi} \approx 6mA + \frac{150mA}{\pi} \approx 54mA$$

$$P_{CC_{\max}} = 2V_{CC} I_{CC_{\max}} \approx 2 \times 18V \times 54mA \approx 1.95W$$

$$\eta_{\max} = \frac{P_{o_{\max}}}{P_{CC_{\max}}} = \frac{1.13W}{1.95W} \approx 58\%$$

تذکر۱: با کمی دقت در شکل ٤-٥٤ مشاهده می شود که $I_o = I_{R_L}$، $I_{E1} = I_{R1} + I_{R2}$ و $I_o = I_{E2} + I_{R1} + I_{R3}$ بنابراین $I_o \neq I_{E1} \neq I_{R1}$. به ندرت، در برخی مسایل باید به این موضوع توجه کرد. اکثراً، از جمله در این مسئله، این اختلاف به حدی جزیی است، که اگر برای سادگی در حل مسئله این جریانها را باهم مساوی فرض کنیم، خطای حاصله بسیار کمتر از خطای محاسباتی خواهد بود (در مسایلی نظیر این مثال که اصلاً $I_{E1} = I_{R1}$ است).

تذکر۲: در این مثال در محاسبات $V\gamma = 0.6V$ و $V_{BE} = 0.7V \neq V\gamma$ در نظر گرفته شده است (چرا؟).

مثال ٤-٦ محدود کننده جریان خروجی برای تقویت کننده ای برای $P_o = 100W / 4\Omega$ طرح کنید.

حل: اگر مسئله را مانند مثال قبل حل کنیم:

$$P_o = \frac{1}{2} R_L I_o^2 \quad \Rightarrow \quad I_{o_{\max}} = \sqrt{\frac{2P_{o_{\max}}}{R_L}} = \sqrt{\frac{2\times 100W}{4\Omega}} \approx 7.1A$$

و از آنجا:
$$R1 = \frac{V_\gamma}{I_o} \approx \frac{0.6V}{7.1A} \approx 85m\Omega$$

اما چون $R1$ برای تثبت جریان نقطه کار هم مورد استفاده قرار می گیرد، هر قدر این مقاومت بزرگتر باشد بهتر است. از طرف دیگر هرقدر افت ولتاژ دو سر این مقاومت بیشتر باشد، تلفات نیز بیشتر خواهد بود. این دو موضوع با هم در تناقضند. اگر تلفات این مقاومت (ها) را تا حدود ۱۰٪ توان خروجی مجاز بدانیم، افت ولتاژ دو سر مقاومت حدود ۵٪ ماکزیمم ولتاژ خروجی خواهد بود. پس:

$$V_{o_{\max}} = R_L I_{o_{\max}} = 4\Omega \times 7.1A = 28.4V$$

$$V_{R1_{\max}} \approx 0.05 V_{o_{\max}} \approx 1.5V$$

در نتیجه: $R1 \approx \frac{1.5V}{7.1A} \approx 0.21\Omega \quad \Rightarrow \quad R1 = 0.22\Omega / 15W$

توجه کنید که توان نامی این مقاومت باید $P_N = 15W$ باشد. در صورتی که حد اکثر توان واقعی که این مقاومت تلف می کند، در شرایط عادی $P_{\max} \approx 2.8W$ و در حالت اتصال کوتاه $P_{SC} \approx 5.5W$ خواهد بود (چرا؟).

مانند مثال قبل (توجه کنید که به علت جریان زیاد، برای ترانزیستورهای پوش پول باید از ترانزیستورهای دارلینگتن استفاده شود که مشخصات آنها: $\beta_{\min} \approx 1000$، $V_{BE} \approx 1.5V$ و $V_{CE_{sat}} \approx 1V$ فرض می شوند):

$$V_{CC} = V_{o_{\max}} + V_{R1} + V_{BE1} + V_{CS} \geq 28.4 + 1.5 + 1.5 + 1 = 32.4V$$

بنابراین مثلاً: $\pm V_{CC} = \pm 35V$

از (٤-٩٣): $I_o < \left(1 + \frac{R2}{R3}\right) \times \frac{V\gamma}{R1} \quad \Rightarrow \quad \frac{R2}{R3} \geq \frac{R1 I_o}{V\gamma} - 1 \approx \frac{0.22 \times 7.1}{0.6} - 1 \approx 1.6$

همانطور که مشاهده می شود فقط نسبت مقاومت ها مهم است، نه مقدار آنها. البته برای این که روابط بالا صادق باشند باید $I_{R2} >> I_{B2}$ باشد(چرا؟). از طرف دیگر این مقاومت ها نباید آنقدر کوچک باشند که تلفات آنها قابل ملاحظه شود. با توجه به این که $I_{CS} \approx 10mA$ انتخاب می شود (چرا؟)، و چون به هنگام محدود شدن جریان خروجی $I2 \approx 3mA$ است (چرا؟)، و برای ترانزیستورهای معمولی $\beta_2 \geq 100$ است؛ بنابراین اگر $I_{R3} \approx I2 = I_{C2} = \beta I_{B2} >> I_{B2}$ انتخاب شود، شرایط خواسته شده برآورده می شود. بنابراین:

مثلاً: $R3 = \frac{V_\gamma}{I2} \approx \frac{0.6V}{3mA} = 200\Omega \quad \Rightarrow \quad R3 = 220\Omega / 0.25W$

در نتیجه: $R2 > 1.6R3 \approx 350\Omega \quad \Rightarrow \quad R2 = 390\Omega / 0.25W$

از آنجا: $$I_{o_{\max}} = \left(1+\frac{R2}{R3}\right)\times\frac{V\gamma}{R1} = \left(1+\frac{390}{220}\right)\times\frac{0.6V}{0.22\Omega} \approx 7.53A$$

و: $$I_{o_{sc}} = \left(1+\frac{R2}{R3}\right)\times\frac{V_{BE}}{R1} = \left(1+\frac{390}{220}\right)\times\frac{0.7V}{0.22\Omega} \approx 8.82A$$

یعنی در شرایط عادی (تا زمانی که محدود کننده جریان فعال نشده است)، جریان خروجی حد اکثر تا $I_{o_{\max}} \approx 7.53A$ می تواند زیاد شود. در صورت بیشتر شدن دامنه ولتاژ خروجی به عبارت دیگر کم شدن مقاومت بار، جریان خروجی با شیب کمتری رشد می کند (تقویت کننده وارد ناحیه غیر خطی می شود). با کمتر شدن مقاومت بار – تا حد اتصال کوتاه شدن – جریان خروجی به $I_{o_{sc}} \approx 8.82A$ محدود می شود.

برای محاسبه حداکثر ولتاژ به عبارت دیگر توان خروجی، دو شرط باید در نظر گرفته شود: یکی محدودیت به واسطه ولتاژ منبع تغذیه و دیگری به خاطر محدود کننده جریان. بنابراین:

محدودیت ولتاژ: $$V_{o_{\max}} = V_{CC} - (V_{R1} + V_{BE1} + V_{CS}) = 35 - (1.5+1.5+1) = 31.5V$$

محدودیت جریان: $$V_{o_{\max}} = I_{o_{\max}} R_L = 7.53A \times 4V \approx 30V$$

در نتیجه: $$P_{o_{\max}} = \frac{V_{o_{\max}}^2}{2\,R_L} \approx \frac{(30V)^2}{2\times 4\Omega} \approx 112W > 100W$$

$$I_{CC} \approx \frac{I_{o_{\max}}}{\pi} \approx \frac{7.53A}{\pi} \approx 2.4A$$

$$P_{CC} = 2V_{CC}\, I_{CC} \approx 2\times 35V \times 2.4A \approx 168W$$

$$\eta_{\max} = \frac{P_{o_{\max}}}{P_{CC}} \approx \frac{112W}{168W} \approx 66.7\%$$

از رابطه (٤–٧٦) حداکثر تلفات هر ترانزیستور به اضافه مقاومت امیترش – تا زمانی که محدود کننده جریان فعال نشده باشد – حدود ۰,۲ توان ماکزیمم خروجی بدست می آید (چرا؟). بنابراین:

$$P_{Q_{\max}} \approx 0.2\, P_{o_{\max}} - P_{R1} < 0.2 \times 112W \approx 20W$$

و اما به هنگام اتصال کوتاه شدن چه اتفاقی می افتد؟ طبیعی است که در این صورت $V_o = 0$ و I_o تابعی از ولتاژ ورودی است. در صورتی که این ولتاژ مقدار نامی خود را داشته باشد، جریان خروجی یک موج تقریباً مربعی با دامنه $I_P = I_{o_{sc}} \approx 8.82A$ خواهد بود (چرا؟). در این صورت توان تلف شده بر روی هر ترانزیستور:

$$P_{Q_{sc}} \approx \left(V_{CC} - I_{o_{sc}} R1\right) \cdot I_{o_{sc}} \approx (35 - 8.82 \times 0.22) \times 8.82 \approx 290W$$

خواهد بود که مقداری بسیار زیاد تر از مقدار قابل تحمل ترانزیستورها است (برای این مثال، در شرایط عادی یک ترانزیستور با توان نامی $P_N = 100W$ و یک رادیاتور معمولی کفایت می کند).

بنابراین در این مدار با وجود این که محدود کننده جریان کار خود را به خوبی انجام می دهد، ولی توان خروجی محدود نشده، تقویت کننده معیوب می گردد.

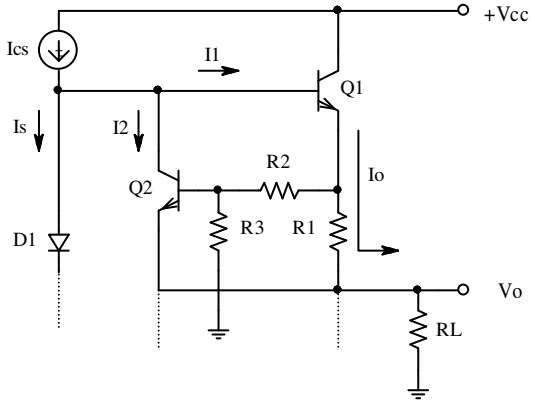
همان گونه که در آغاز این بخش اشاره شد، به کمک اندازه گیری دمای ترانزیستور (رادیاتور) و مدارهای جانبی، می توان در صورت افزایش بیش از حد دما، جریان منبع را قطع کرد. ولی این فرایند به کندی انجام می شود و چه بسا که قبل از فعال شدن مدار محافظ، ترانزیستورها معیوب شوند. بنابراین در چنین مواردی باید به طور لحظه ای توان را محدود نمود.

به ازای بار نامی، هر قدر دامنه ولتاژ خروجی کمتر باشد، به جریان خروجی کم تری نیز نیاز است. هر قدر دامنه ولتاژ خروجی بیشتر شود، طبیعتاً به جریان خروجی بیشتری نیاز خواهد بود. بنابراین اگر جریان خروجی به یک مقدار ثابت (در مثال فوق $I_{o_{\max}} \approx 7.53A$) محدود نشود، بلکه برای ولتاژهای خروجی کمتر – که ولتاژ بیشتر بر روی ترانزیستور می افتد – مقدار آنرا کمتر و برای ولتاژهای خروجی بیشتر – که ولتاژ کم تری بر روی ترانزیستور می افتد – بیشتر انتخاب کنیم، در حالی که جریان مورد نیاز بار نامی تامین شده است، در شرایط غیر متعارف، توان ترانزیستور از حدی تجاوز نمی کند. برای

مثال اگر در مسئله ذکر شده ولتاژ خروجی $V_o = 4V$ باشد، برای بار نامی $R_{L_N} = 4\Omega$ جریان خروجی $I_o = 1A$ خواهد بود. بنابراین اگر محدود کننده جریان خروجی را مثلاً به $I_{o_{\max}} = 1.1A$ محدود کند، سیگنال خروجی بدون اعوجاج در خروجی ظاهر می شود. اگر بار کم شود، مثلاً $R_L = 1\Omega$، جریان خروجی $I_o = 4A$، نمی شود؛ بلکه $I_{o_{\max}} = 1.1A$ (عملاً کمتر) باقی می ماند. بنابراین توان تلف شده هر ترانزیستور (با مقاومت امیترش) بجای $P_D \approx \frac{4A}{\pi} \times 31V \approx 40W$، فقط $P_D \approx \frac{1A}{\pi} \times 34V \approx 11W$ خواهد بود.

بنابراین در این روش که مقدار جریان محدود کننده جریان به ولتاژ خروجی وابسته است – که به آن کنترل وفقی[1] گویند – با کاهش ولتاژ خروجی جریان حداکثر خروجی کاهش می یابد. بنابراین برخلاف محدود کنندگی ثابت جریان که در آن $I_{o_{sc}} > I_{o_{\max}}$ بود، در این نحوه کنترل $I_{o_{sc}} < I_{o_{\max}}$ می شود.

مدار شکل ٤–٥٥ پیشنهادی برای این منظور ارایه می دهد. این مدار در حقیقت همان مدار شکل ٤–٥٤ است، با این تفاوت که پایه $R3$ که قبلاً به خروجی وصل می شد، اکنون به زمین متصل شده است.



شکل ٤–٥٥ محدود کننده توان لحظه ای

نحوه عمل کرد مدار به این طریق است: برای ولتاژهای خروجی نزدیک صفر، مدار مانند حالت قبل عمل می کند. بنابراین با انتخاب مقاومتها می توان جریان خروجی را به میزان حداقل انتخاب کرد. با افزایش ولتاژ خروجی، بیس ترانزیستور $Q2$ به یک مقدار منفی بایاس خواهد شد. بنابراین برای فعال شدن محدود کننده جریان، باید این ولتاژِ منفی

[1] Adaptive Output Current Control

جبران شود. این امر یعنی افت ولتاژ مورد نیاز بیشتر بر روی $R1$ به عبارت دیگر محدود کردن جریان در مقادیر بیشتر. توجه شود که در این حالت با افزایش ولتاژ خروجی ممکن است ولتاژ معکوس دیود بیس – امیتر $Q2$ بیش از ولتاژ شکست آن شود. همچنین در نیم پریود منفی – که $Q1$ و $Q2$ باید قطع باشند – ممکن است $Q2$ به خاطر بایاس مثبت (زمین نسبت به سیگنال های منفی، مثبت است!) وارد ناحیه فعال، یا حتی اشباع شده در کار کرد مدار اخلال ایجاد نماید و چه بسا که معیوب شود. بنابراین با اضافه کردن دیودهایی به مدار، از به وجود آمدن شرایط غیر مجاز جلوگیری می شود. فعلاً چون این دیودها نقشی در کارکرد اصلی مدار ندارند – جهت سادگی – آنها را در نظر نمی گیریم. در مثالهای کامل تر به آنها اشاره می شود.

حال می پردازیم به محاسبه مدار و نحوه انتخاب عناصر. با فرض $R2 >> R1$ و $I_B << I_{R2} = I$:

$$V_{BE2} = I_o R1 - I R2$$

$$I_o R1 + V_o - I(R2 + R3) = 0$$

$$I = \frac{I_o R1 + V_o}{R2 + R3}$$

$$V_{BE2} = I_o R1 - \frac{I_o R1 + V_o}{R2 + R3} \cdot R2$$

$$I_o = \left(1 + \frac{R2}{R3}\right) \cdot \frac{V_{BE2}}{R1} + \frac{R2}{R3} \cdot \frac{V_o}{R1} \qquad (۹۴-٤)$$

چنان که از (٤-۹۴) مشهود است، میزان جریان خروجی محدود شده، از دو مولفه تشکیل می شود. یک مولفه ثابت که کمترین مقدار جریان را مشخص می کند. و دیگری مولفه وابسته به ولتاژ خروجی. بنابراین:

$$I_{o_{sc}} = I_{o_{\min}} = I_o(V_o = 0) = \left(1 + \frac{R2}{R3}\right) \cdot \frac{V_{BE2}}{R1} \qquad (۹۵-٤)$$

$$I_{o_{\max}} = I_o\left(V_o = V_{o_{\max}}\right) = \left(1+\frac{R2}{R3}\right)\cdot\frac{V_{BE2}}{R1} + \frac{R2}{R3}\cdot\frac{V_{o_{\max}}}{R1} \qquad (۹۶-٤)$$

به کمک روابط (٤-۹۵) و (٤-۹۶) می توان مقادیر مقاومت ها را انتخاب کرد. معمولاً سعی براین است که در صورت امکان تلفات کمترین مقدار خود را داشته باشد. هرقدر $R1$ بزرگتر انتخاب شود، تلفات در حالت اتصال کوتاه کمتر، ولی در حالت حداکثر ولتاژ خروجی بیشتر است (چرا؟).

به ازای حداکثر دامنه خروجی، از رابطه (٤-۷۶) حداکثر تلفات هر ترانزیستور برای این مثال حدوداً $P_D \approx 20W$ بدست آمد. اگر به خواهیم در حالت اتصال کوتاه تلفات در همین حدود باشد، باید $I_{o_{sc}} \approx \frac{\pi P_D}{V_{CC}} \approx 2A$ انتخاب شود. از رابطه (٤-۹۵) بر می آید که به ازای $R3 >> R2$ کمترین $R1$ بدست می آید (کمترین تلفات در بیشترین ولتاژ خروجی). بنابراین:

از (٤-۹۵): $$I_{o_{sc}} \approx \frac{V_{BE2}}{R1} \Rightarrow R1 \approx \frac{V_\gamma}{I_{o_{sc}}} \approx \frac{0.6V}{2A} = 0.3\Omega \Rightarrow R1 = 0.27\Omega/10W$$

از (٤-۹۶): $$I_{o_{\max}} = \left(1+\frac{R2}{R3}\right)\cdot\frac{V_\gamma}{R1} + \frac{R2}{R3}\cdot\frac{V_{o_{\max}}}{R1}$$

$$7.5A = \left(1+\frac{R2}{R3}\right)\cdot\frac{0.6V}{0.27\Omega} + \frac{R2}{R3}\cdot\frac{30V}{0.27\Omega} \Rightarrow \frac{R3}{R2} \approx 21.5$$

برای این که شرط: $$I_{B2} << I$$

صدق کند: $$I \approx \frac{V_{o_{\max}}}{R2+R3} \approx \frac{30V}{R2+R3} \approx I_{C2} \approx I_{CS} - I_{B1_{\max}} \approx 3mA$$

و از آنجا:
$$\left.\begin{array}{l} R2+R3 \approx \dfrac{30V}{3mA} \\ \dfrac{R3}{R2} \approx 21.5 \end{array}\right\} \Rightarrow \begin{cases} R2 \approx 444\Omega \Rightarrow 470\Omega/0.25W \\ R3 \approx 9.55k\Omega \Rightarrow 10k\Omega/0.25W \end{cases}$$

با این المانها $I_{o_{sc}} \approx 2.3A$ و $I_{o_{\max}} \approx 7.55A$ بدست می آید.